

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Toshiyuki HIROTA, et al.
Title: SEMICONDUCTOR DEVICE WITH
HIGH- AND LOW-DENSITY
REGIONS OF TRANSISTOR
ELEMENTS ON SINGLE
SEMICONDUCTOR SUBSTRATE,
AND METHOD OF
MANUFACTURING SUCH
SEMICONDUCTOR DEVICE



Appl. No.: Unassigned
Filing Date: 12/22/2000
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:


- Japanese Patent Application No. 11-367831 filed December, 24, 1999.

Respectfully submitted,

Date December 22, 2000

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By


Per 41514

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

1118 DT, A
40373/300

JS
30
JCS620-S. PRO
09/741195
12/21/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年12月24日

出願番号

Application Number:

平成11年特許願第367831号

出願人

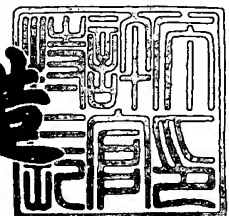
Applicant (s):

日本電気株式会社

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3074115

【書類名】 特許願

【整理番号】 74810328

【提出日】 平成11年12月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/50

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 廣田 俊幸

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 佐藤 夏樹

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路製造方法、半導体装置

【特許請求の範囲】

【請求項 1】 トランジスタ素子が高密度に配列されている高密度領域と低密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置を製造する回路製造方法であって、

前記半導体基板の高密度領域と低密度領域との表面にゲート酸化膜を形成し、

このゲート酸化膜の表面に前記トランジスタ素子のゲート電極を前記高密度領域では高密度な所定配置に形成するとともに前記低密度領域では低密度な所定配置に形成し、

前記高密度領域と前記低密度領域との表面に所定膜厚の第一窒化膜を一様に形成し、

前記高密度領域のみマスクして前記低密度領域の前記第一窒化膜をエッチングすることで前記低密度領域の前記ゲート電極の間隙に前記ゲート酸化膜を露出させ、

前記高密度領域と前記低密度領域との表面に所定膜厚の第二窒化膜を一様に形成し、

この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、

この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させ、

前記高密度領域で前記ゲート電極の側面に位置する前記第一窒化膜をエッチングストップとしたセルフアラインにより前記半導体基板まで到達するコンタクトホールを前記層間絶縁膜に形成し、

この層間絶縁膜に形成されたコンタクトホールから前記半導体基板に導通するコンタクト電極を形成し、

前記トランジスタ素子の各部を形成してからフォーミングガスによりアニールして各部の界面順位を回復させるようにした回路製造方法。

【請求項 2】 トランジスタ素子が高密度に配列されている高密度領域と低密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置を

製造する回路製造方法であって、

前記半導体基板の高密度領域と低密度領域との表面にゲート酸化膜を形成し、
このゲート酸化膜の表面に前記トランジスタ素子のゲート電極を各々の表面に
窒化保護膜が個々に形成された状態で前記高密度領域では高密度な所定配置に形
成するとともに前記低密度領域では低密度な所定配置に形成し、

前記高密度領域と前記低密度領域との表面に所定膜厚の第一窒化膜を一様に形
成し、

この第一窒化膜を一様にエッチングして前記ゲート電極の表面に前記窒化保護
膜を露出させるとともに間隙に前記ゲート酸化膜を露出させ、

前記高密度領域と前記低密度領域との表面に所定膜厚の第二窒化膜を一様に形
成し、

この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、

この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅
させ、

前記高密度領域で前記ゲート電極の側面に位置する前記第一窒化膜をエッチン
グストップとしたセルフアラインにより前記半導体基板まで到達するコンタクト
ホールを前記層間絶縁膜に形成し、

この層間絶縁膜に形成されたコンタクトホールから前記半導体基板に導通する
コンタクト電極を形成し、

前記トランジスタ素子の各部を形成してからフォーミングガスによりアニール
して各部の界面順位を回復させるようにした回路製造方法。

【請求項3】 トランジスタ素子が高密度に配列されている高密度領域と低
密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置を
製造する回路製造方法であって、

前記半導体基板の高密度領域と低密度領域との表面にゲート酸化膜を形成し、

このゲート酸化膜の表面に前記トランジスタ素子のゲート電極を前記高密度領
域では高密度な所定配置に形成するとともに前記低密度領域では低密度な所定配
置に形成し、

前記高密度領域と前記低密度領域との表面に所定膜厚の第一窒化膜を一様に形

成し、

前記高密度領域のみマスクして前記低密度領域の前記第一窒化膜をエッチングすることで前記低密度領域の前記ゲート電極の間に前記ゲート酸化膜を露出させ、

この露出したゲート酸化膜をエッチングして前記低密度領域の前記ゲート電極の間に前記半導体基板を露出させ、

この露出した半導体基板の表面に所定膜厚の第二窒化膜を形成し、

この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、

この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させ、

前記高密度領域で前記ゲート電極の側面に位置する前記第一窒化膜をエッチングストップとしたセルフアラインにより前記半導体基板まで到達するコンタクトホールを前記層間絶縁膜に形成し、

この層間絶縁膜に形成されたコンタクトホールから前記半導体基板に導通するコンタクト電極を形成し、

前記トランジスタ素子の各部を形成してからフォーミングガスによりアニールして各部の界面順位を回復させるようにした回路製造方法。

【請求項 4】 トランジスタ素子が高密度に配列されている高密度領域と低密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置を製造する回路製造方法であって、

前記半導体基板の高密度領域と低密度領域との表面にゲート酸化膜を形成し、

このゲート酸化膜の表面に前記トランジスタ素子のゲート電極を各々の表面に窒化保護膜が個々に形成された状態で前記高密度領域では高密度な所定配置に形成するとともに前記低密度領域では低密度な所定配置に形成し、

前記高密度領域と前記低密度領域との表面に所定膜厚の第一窒化膜を一様に形成し、

この第一窒化膜を一様にエッチングして前記ゲート電極の表面に前記窒化保護膜を露出させるとともに間に前記ゲート酸化膜を露出させ、

この露出したゲート酸化膜をエッチングして前記高密度領域と前記低密度領域

との前記ゲート電極の間隙に前記半導体基板を露出させ、

この露出した半導体基板の表面に所定膜厚の第二窒化膜を形成し、

この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、

この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させ、

前記高密度領域で前記ゲート電極の側面に位置する前記第一窒化膜をエッチングストップパとしたセルフアラインにより前記半導体基板まで到達するコンタクトホールを前記層間絶縁膜に形成し、

この層間絶縁膜に形成されたコンタクトホールから前記半導体基板に導通するコンタクト電極を形成し、

前記トランジスタ素子の各部を形成してからフォーミングガスによりアニールして各部の界面順位を回復させるようにした回路製造方法。

【請求項 5】 前記第一窒化膜と前記第二窒化膜とを C V D (Chemical Vapor Deposition) 法により形成するようにした請求項 1 ないし 4 の何れか一項に記載の回路製造方法。

【請求項 6】 前記第一窒化膜を C V D 法により形成し、

前記第二窒化膜を R T N (Rapid Thermal Nitriding) 法により形成するようにした請求項 3 または 4 に記載の回路製造方法。

【請求項 7】 前記第一窒化膜を前記セルフアラインのエッチングストップパとなる膜厚に形成し、

前記第二窒化膜を前記水蒸気アニールにより前記層間絶縁膜の不純物が前記半導体基板に拡散せず前記水蒸気アニールにより前記半導体基板が酸化されず前記フォーミングガスは前記半導体基板に拡散される膜厚に形成するようにした請求項 1 ないし 6 の何れか一項に記載の回路製造方法。

【請求項 8】 前記第一窒化膜を 30~50 (nm) の膜厚に形成し、

前記第二窒化膜を 3.0~20 (nm) の膜厚に形成するようにした請求項 5 に記載の回路製造方法。

【請求項 9】 前記第一窒化膜を 30~50 (nm) の膜厚に形成し、

前記第二窒化膜を 1.8~2.0 (nm) の膜厚に形成するようにした請求項 6 に記載の

回路製造方法。

【請求項 10】 トランジスタ素子が高密度に配列されている高密度領域と低密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置であって、

請求項 1 ないし 9 の何れか一項に記載の回路製造方法により製造されており、前記低密度領域の半導体基板の表面の少なくとも一部に前記第二窒化膜が形成されている半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トランジスタ素子が高密度に配列されている高密度領域と低密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置を製造する回路製造方法、この回路製造方法により製造された半導体装置、に関する。

【0002】

【従来の技術】

現在、各種構造の半導体装置が実用化されており、例えば、DRAM (Dynamic Random Access Memory) などの半導体メモリでは、一般的に一個の半導体基板に高密度領域であるセルアレイ領域と低密度領域である周辺回路領域とが存在する。

【0003】

セルアレイ領域には同一構造のトランジスタ素子からなるメモリセルが二次元状に高密度に配列されており、周辺回路領域にはXYデコーダなどの各種回路が低密度に位置しているが、このような構造の半導体装置を製造する場合には、高密度領域と低密度領域とのトランジスタ素子を同時に形成することになる。

【0004】

そこで、このような半導体装置および回路製造方法の一従来例を図18ないし図20を参照して以下に説明する。なお、図18は半導体装置の一従来例であるDRAMの積層構造を示す模式的な縦断正面図、図19はDRAMの高密度領域であるセルアレイ領域を示す模式的な平面図、図20は製造過程のDRAMを示

す模式的な縦断正面図、である。

【0005】

ここで半導体装置の一従来例として例示するDRAM100は、図18に示すように、一個の半導体基板101を具備しており、この一個の半導体基板101に高密度領域であるセルアレイ領域102と低密度領域である周辺回路領域103とが設定されている。

【0006】

セルアレイ領域102では、メモリセル110のトランジスタ素子111が高密度な所定配置で配列されており、周辺回路領域103では、XYデコーダなどの各種回路のトランジスタ素子112が低密度な所定配置で配列されている。メモリセル110は、一对のトランジスタ素子111や一对のキャパシタ113からなり、図19に示すように、ここではSTI(Shallow Trench Isolation)114により相互に絶縁されて千鳥状に二次元配列されている。

【0007】

より詳細には、メモリセル110の一对のトランジスタ素子111では、半導体基板101の表面にゲート酸化膜115が形成されており、このゲート酸化膜115の表面にゲート電極116が形成されている。このゲート電極116はポリシリコン層117とタンゲステンシリサイド層118との二層で形成されており、その表面には酸化膜119が形成されている。

【0008】

この酸化膜119とゲート電極116との側面には窒化膜からなるサイドウォール120が形成されており、メモリセル110の一对のトランジスタ素子111のサイドウォール120の間隙と両側にはコンタクト電極121、122が形成されている。

【0009】

一对のトランジスタ素子111の間隙のコンタクト電極121は半導体基板101のソース領域(図示せず)とビット線123とに接続されており、一对のトランジスタ素子111の両側の一对のコンタクト電極122は半導体基板101の一对のドレイン領域(図示せず)と一对のキャパシタ113とに各々接続されてい

る。

【0010】

なお、周辺回路領域103のトランジスタ素子112も上述のトランジスタ素子111と同様な構造に形成されており、半導体基板101の表面にゲート酸化膜115とゲート電極116の二層117、118と酸化膜119とが積層されており、この酸化膜119とゲート電極116との側面に窒化膜からなるサイドウォール120が形成されている。

【0011】

周辺回路領域103のトランジスタ素子112では、例えば、サイドウォール120の外側に前述のビット線123が直接に形成されており、このビット線123が半導体基板101のドレイン領域(図示せず)に接続されている。

【0012】

ここで、上述のようなDRAM100を製造する回路製造方法を以下に簡単に説明する。まず、半導体基板101のセルアレイ領域102と周辺回路領域103とに所定パターンでSTI114を形成し、このSTI114が形成されていない半導体基板101の表面に膜厚8.0(nm)のゲート酸化膜115を形成する。

【0013】

つぎに、このゲート酸化膜115の表面に膜厚100(nm)のポリシリコン層117と膜厚150(nm)のタングステンシリサイド層118と膜厚150(nm)の酸化膜119とを順番に成膜し、これらを所定パターニングにエッチングすることでトランジスタ素子111、112のゲート電極116を形成する。

【0014】

このようにゲート電極116が形成されたセルアレイ領域102と周辺回路領域103との表面に膜厚50(nm)の第一窒化膜131を一様に形成するが、セルアレイ領域102のみマスクして周辺回路領域103の第一窒化膜131をエッチングし、周辺回路領域103のゲート電極116の側面にサイドウォール120を形成するとともに間隙にゲート酸化膜115を露出させる。

【0015】

つぎに、マスクを除去してからセルアレイ領域102と周辺回路領域103と

の表面に膜厚20(nm)の酸化絶縁膜132を一様に形成し、図20に示すように、この酸化絶縁膜132の表面に不純物が導入された膜厚1.0(μm)のBPSG(Borophosphosilicate Glass)からなる層間絶縁膜133を形成する。

【0016】

ただし、セルアレイ領域102ではゲート電極116が高密度に配列されているため、図示するように、層間絶縁膜133にボイド134が発生することがある。そこで、この層間絶縁膜133を N_2 などの雰囲気中でアニールしてリフローさせ、発生したボイド134を消滅させる。

【0017】

以降は各部を形成することになるが、例えば、セルアレイ領域102ではゲート電極116の側面に位置する第一窒化膜131をエッチングストップとしたセルフアラインにより半導体基板101まで到達するコンタクトホールを層間絶縁膜133に形成し、このコンタクトホールにコンタクト電極121、122を形成する。

【0018】

なお、DRAM100の各部が形成できたら、最後に水素などのフォーミングガスによりアニールを実行して各部の界面順位を回復させる。上述の回路製造方法では、セルアレイ領域102の高密度に配列されたトランジスタ素子111と周辺回路領域103の低密度に配列されたトランジスタ素子112とを同時に形成することができる。

【0019】

その場合、セルアレイ領域102ではゲート電極116の側面に位置する第一窒化膜131をエッチングストップとしたセルフアラインにより半導体基板101まで到達するコンタクトホールを層間絶縁膜133に形成するので、高密度に配列されているトランジスタ素子111の間にコンタクト電極121、122を確実に形成することができる。

【0020】

なお、このようにエッチングストップとなる膜厚の第一窒化膜131は、大面積に形成されているとアニールなどの加熱時に過剰なストレスを発生するので、

例えば、これが周辺回路領域 103 のトランジスタ素子 112 の間隙に残存していると半導体基板 101 の結晶構造の破壊などの不具合を誘発する。また、このような膜厚の第一窒化膜 131 は、最終工程のアニール時のフォーミングガスも遮断するので、これが周辺回路領域 103 のトランジスタ素子 112 の間隙に残存していると界面順位の回復不良も誘発する。

【0021】

しかし、上述した回路製造方法では、エッチングストッパとなる膜厚の第一窒化膜 131 を、トランジスタ素子 112 が低密度に配列されている周辺回路領域 103 では除去するので、上述のような各種の不具合を事前に防止することができる。

【0022】

【発明が解決しようとする課題】

上述の DRAM 100 では、セルアレイ領域 102 にはゲート電極 116 が高密度に配列されているため、層間絶縁膜 133 にボイド 134 が発生することがあるが、この層間絶縁膜 133 をアニールしてリフローさせることでボイド 134 を消滅させている。

【0023】

この DRAM 100 などの半導体装置は現在も高密度化されており、ゲート電極 116 の間隙に位置する層間絶縁膜 133 のアスペクト比も上昇している。図 21 に示すように、ゲート電極 116 の間隙に位置する層間絶縁膜 133 の横幅が 50(nm) で深度が 400(nm) の場合、そのアスペクト比は 8 である。しかし、このアスペクト比が 4 以上となると層間絶縁膜 133 をアニールしても十分にリフローさせることができず、図 22 に示すように、ボイド 134 が残存することがある。

【0024】

このような課題を解決するため、アニールの温度や時間を増加させることが試みられた。しかし、この場合は周辺回路領域 103 で層間絶縁膜 133 から半導体基板 101 にリンやボロンなどの不純物が拡散し、トランジスタ 112 の特性が制御不能となった。

【0025】

これを防止するためには、酸化絶縁膜 132 の膜厚を増加させることが想定できるが、これではゲート電極 116 の間隙に位置する層間絶縁膜 133 のアスペクト比が上昇することになり、さらにボイド 134 を消滅させることが困難となる。また、層間絶縁膜 133 の不純物の濃度を増加させてリフローを容易とすることも想定できるが、これでは周辺回路領域 103 で層間絶縁膜 133 から半導体基板 101 に拡散する不純物が増加することになる。

【0026】

そこで、本発明者は層間絶縁膜 133 を良好にリフローするため、水蒸気を含む雰囲気中でアニールすることを試みた。水蒸気アニールは時間や温度が同一でもリフローが良好に実施されるが、図 23 に示すように、この場合も周辺回路領域 103 で層間絶縁膜 133 から半導体基板 101 に拡散する不純物が増加することが判明した。

【0027】

これは酸化絶縁膜 132 の充分でないバリア性が水蒸気アニールにより阻害されたと想定できる。さらに、水蒸気アニールでは、半導体基板 101 のシリコンが酸化されることも確認された。なお、ここでは水蒸気を含む雰囲気中でのアニールを水蒸気アニールと呼称している。

【0028】

本発明は上述のような課題に鑑みてなされたものであり、トランジスタ素子を高密度に配列した場合でもコンタクト電極をセルフアラインで形成でき、それでいて層間絶縁膜のボイドも確実に消滅させることができる半導体装置の回路製造方法、この回路製造方法により製造された半導体装置、の少なくとも一方を提供することを目的とする。

【0029】

【課題を解決するための手段】

本発明の第一の回路製造方法では、半導体基板の高密度領域と低密度領域との表面にゲート酸化膜とゲート電極とを形成してから、その表面に所定膜厚の第一窒化膜を一様に形成し、高密度領域のみマスクして低密度領域の第一窒化膜をエ

ツチングすることで低密度領域のゲート電極の間隙にゲート酸化膜を露出させ、高密度領域と低密度領域との表面に所定膜厚の第二窒化膜を一様に形成し、この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させるようにした。

【0030】

従って、本発明の回路製造方法では、層間絶縁膜のボイドを水蒸気アニールにより消滅させるが、低密度領域の半導体基板の表面にはゲート酸化膜とともに第二窒化膜が位置するので、この第二窒化膜により層間絶縁膜から半導体基板への不純物の拡散と半導体基板の酸化とが防止される。一般的に窒化膜はアニールなどの加熱によりストレスを発生するので低密度領域に大面積に形成できないが、第二窒化膜は膜厚が適切なので低密度領域の半導体基板を阻害するストレスを発生しない。また、一般的に窒化膜は最終段階のアニール時のフォーミングガスが半導体基板に拡散することを阻害するが、第二窒化膜は膜厚が適切なのでフォーミングガスの拡散も阻害しない。

【0031】

本発明の第二の回路製造方法では、半導体基板の高密度領域と低密度領域との表面にゲート酸化膜とゲート電極とを形成するとき、そのゲート電極の各々の表面に窒化保護膜を個々に形成し、高密度領域と低密度領域との表面に一様に形成した第一窒化膜を一様にエッチングしてゲート電極の表面に窒化保護膜を露出させるとともに間隙にゲート酸化膜を露出させ、高密度領域と低密度領域との表面に所定膜厚の第二窒化膜を一様に形成し、この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させるようにした。

【0032】

従って、本発明の回路製造方法では、層間絶縁膜のボイドを水蒸気アニールにより消滅させるが、低密度領域の半導体基板の表面にはゲート酸化膜とともに第二窒化膜が位置するので、この第二窒化膜により層間絶縁膜から半導体基板への不純物の拡散と半導体基板の酸化とが防止される。一般的に窒化膜はアニールなどの加熱によりストレスを発生するので低密度領域に大面積に形成できないが、

第二窒化膜は膜厚が適切なので低密度領域の半導体基板を阻害するストレスを発生しない。また、一般的に窒化膜は最終段階のアニール時のフォーミングガスが半導体基板に拡散することを阻害するが、第二窒化膜は膜厚が適切なのでフォーミングガスの拡散も阻害しない。低密度領域の第一窒化膜を除去するとき高密度領域の第一窒化膜もエッチングされるが、ゲート電極には窒化保護膜が表面に形成されているので、高密度領域の第一窒化膜をエッチングしてもゲート電極が露出しない。

【0033】

本発明の第三の回路製造方法では、半導体基板の高密度領域と低密度領域との表面にゲート酸化膜とゲート電極とを形成してから、その表面に所定膜厚の第一窒化膜を一様に形成し、高密度領域のみマスクして低密度領域の第一窒化膜をエッチングすることで低密度領域のゲート電極の間隙にゲート酸化膜を露出させ、この露出したゲート酸化膜をエッチングして低密度領域のゲート電極の間隙に半導体基板を露出させ、この露出した半導体基板の表面に所定膜厚の第二窒化膜を形成し、この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させるようにした。

【0034】

従って、本発明の回路製造方法では、層間絶縁膜のボイドを水蒸気アニールにより消滅させるが、低密度領域の半導体基板の表面には第二窒化膜が位置するので、この第二窒化膜により層間絶縁膜から半導体基板への不純物の拡散と半導体基板の酸化とが防止される。一般的に窒化膜はアニールなどの加熱によりストレスを発生するので低密度領域に大面積に形成できないが、第二窒化膜は膜厚が適切なので低密度領域の半導体基板を阻害するストレスを発生しない。また、一般的に窒化膜は最終段階のアニール時のフォーミングガスが半導体基板に拡散することを阻害するが、第二窒化膜は膜厚が適切なのでフォーミングガスの拡散も阻害しない。

【0035】

本発明の第四の回路製造方法では、半導体基板の高密度領域と低密度領域との

表面にゲート酸化膜とゲート電極とを形成するとき、そのゲート電極の各々の表面に窒化保護膜を個々に形成し、高密度領域と低密度領域との表面に所定膜厚の第一窒化膜を一様に形成し、この第一窒化膜を一様にエッチングしてゲート電極の表面に窒化保護膜を露出させるとともに間隙にゲート酸化膜を露出させ、この露出したゲート酸化膜をエッチングして高密度領域と低密度領域とのゲート電極の間隙に半導体基板を露出させ、この露出した半導体基板の表面に所定膜厚の第二窒化膜を形成し、この第二窒化膜の表面に不純物が導入された層間絶縁膜を形成し、この層間絶縁膜に発生したボイドを水蒸気を含む雰囲気中でアニールして消滅させるようにした。

【0036】

従って、本発明の回路製造方法では、層間絶縁膜のボイドを水蒸気アニールにより消滅させるが、低密度領域の半導体基板の表面には第二窒化膜が位置するので、この第二窒化膜により層間絶縁膜から半導体基板への不純物の拡散と半導体基板の酸化とが防止される。一般的に窒化膜はアニールなどの加熱によりストレスを発生するので低密度領域に大面積に形成できないが、第二窒化膜は膜厚が適切なので低密度領域の半導体基板を阻害するストレスを発生しない。また、一般的に窒化膜は最終段階のアニール時のフォーミングガスが半導体基板に拡散することを阻害するが、第二窒化膜は膜厚が適切なのでフォーミングガスの拡散も阻害しない。低密度領域の第一窒化膜を除去するときに高密度領域の第一窒化膜もエッチングされるが、ゲート電極には窒化保護膜が表面に形成されているので、高密度領域の第一窒化膜をエッチングしてもゲート電極が露出しない。

【0037】

本発明の他の形態としては、第一窒化膜と第二窒化膜とをCVD法により形成することも可能である。この場合、第一窒化膜と第二窒化膜とが同一の製法により各々所望の膜厚に形成されるので、セルフアラインのエッチングストップとなる膜厚に第一窒化膜が形成され、水蒸気アニールにより層間絶縁膜の不純物が半導体基板に拡散せず、水蒸気アニールにより半導体基板が酸化されず、フォーミングガスは半導体基板に拡散される膜厚に、第二窒化膜が形成される。

【0038】

本発明の他の形態としては、第一窒化膜をCVD法により形成し、第二窒化膜をRTN法により形成することも可能である。この場合、第一窒化膜はCVD法により所望の膜厚に形成されるので、セルフアラインのエッチングストップとなる膜厚に第一窒化膜が形成される。RTN法では酸化膜の表面に窒化膜を形成できないので、例えば、第二窒化膜を形成する半導体基板の表面の酸化膜が除去されてから、露出した半導体基板の表面が高温のアンモニア雰囲気中で所定時間まで加熱されて第二窒化膜が形成される。このRTN法はCVD法ほど窒化膜を厚膜に形成できないが良質に形成できるので、水蒸気アニールにより層間絶縁膜の不純物が半導体基板に拡散せず、水蒸気アニールにより半導体基板が酸化されず、フォーミングガスは半導体基板に拡散されるように、第二窒化膜が形成される。

【0039】

本発明の他の形態としては、第一窒化膜をセルフアラインのエッチングストップとなる膜厚に形成し、第二窒化膜を水蒸気アニールにより半導体基板が層間絶縁膜の不純物が半導体基板に拡散せず水蒸気アニールにより半導体基板が酸化されずフォーミングガスは半導体基板に拡散される膜厚に形成することも可能である。

【0040】

この場合、第一窒化膜と第二窒化膜との膜厚が各々適切なので、高密度領域で半導体基板まで到達するコンタクトホールがセルフアラインで層間絶縁膜に形成される。それでいて、水蒸気アニールにより半導体基板が層間絶縁膜の不純物が半導体基板に拡散せず、水蒸気アニールにより半導体基板が酸化されず、フォーミングガスは半導体基板に拡散される。

【0041】

本発明の他の形態としては、第一窒化膜を30~50(nm)の膜厚に形成し、第二窒化膜を3.0~20(nm)の膜厚に形成することも可能である。この場合、CVD法により第一窒化膜と第二窒化膜とが各々適正な膜厚に形成されるので、第一窒化膜と第二窒化膜とが所望の特性に各々形成される。

【0042】

本発明の他の形態としては、第一窒化膜を30～50(nm)の膜厚に形成し、第二窒化膜を1.8～2.0(nm)の膜厚に形成することも可能である。この場合、CVD法により第一窒化膜が適切な膜厚に形成されるとともに、RTN法により良質な第二窒化膜が適切な膜厚に形成されるので、第一窒化膜と第二窒化膜とが所望の特性に各々形成される。

【0043】

本発明の半導体装置は、トランジスタ素子が高密度に配列されている高密度領域と低密度に配列されている低密度領域とが一個の半導体基板に存在する半導体装置であって、

本発明の回路製造方法により製造されており、低密度領域の半導体基板の表面の少なくとも一部に第二窒化膜が形成されている。

【0044】

【発明の実施の形態】

本発明の実施の第一の形態を図1ないし図9を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。

【0045】

なお、図1は本発明の半導体装置の実施の第一の形態であるDRAMの内部構造を示す縦断正面図、図2ないし図6は本発明の回路製造方法の実施の第一の形態を示す製造工程図、図7は水蒸気アニールにより各種膜厚の第二窒化膜を介して層間絶縁膜から半導体基板まで不純物が拡散される割合を示す特性図、図8は各種膜厚の第二窒化膜を水蒸気アニールした場合の耐酸化性を示す特性図、図9は第二窒化膜の膜厚とフォーミングガスによるアニールにより界面順位が回復する割合との関係を示す特性図、である。

【0046】

本発明の半導体装置の実施の第一の形態であるDRAM200も、一従来例のDRAM100と同様に、図1に示すように、一個の半導体基板101に高密度領域であるセルアレイ領域102と低密度領域である周辺回路領域103とが設定されている。

【0047】

セルアレイ領域102には、メモリセル110のトランジスタ素子111が高密度な所定配置で配列されており、周辺回路領域103では、XYデコーダなどの各種回路のトランジスタ素子112が低密度な所定配置で配列されている。メモリセル110は、一対のトランジスタ素子111や一対のキャパシタ113からなり、STI114により相互に絶縁されて千鳥状に二次元配列されている。

【0048】

より詳細には、メモリセル110の一対のトランジスタ素子111では、半導体基板101の表面にゲート酸化膜115が形成されており、このゲート酸化膜115の表面にゲート電極116が形成されている。このゲート電極116はポリシリコン層117とタングステンシリサイド層118との二層で形成されており、その表面には酸化膜119が形成されている。

【0049】

この酸化膜119とゲート電極116との側面には窒化膜からなるサイドウォール120が形成されており、メモリセル110の一対のトランジスタ素子111のサイドウォール120の間隙と両側にはコンタクト電極121、122が形成されている。

【0050】

一対のトランジスタ素子111の間隙のコンタクト電極121は半導体基板101のソース領域(図示せず)とビット線123とに接続されており、一対のトランジスタ素子111の両側の一対のコンタクト電極122は半導体基板101の一対のドレイン領域(図示せず)と一対のキャパシタ113とに各々接続されている。

【0051】

なお、周辺回路領域103のトランジスタ素子112も上述のトランジスタ素子111と同様な構造に形成されており、半導体基板101の表面にゲート酸化膜115とゲート電極116の二層117、118と酸化膜119とが積層されており、この酸化膜119とゲート電極116との側面に窒化膜からなるサイドウォール120が形成されている。

【0052】

周辺回路領域103のトランジスタ素子112では、例えば、サイドウォール120の外側に前述のビット線123が直接に形成されており、このビット線123が半導体基板101のドレイン領域(図示せず)に接続されている。

【0053】

ここで、上述のようなDRAM200を製造する回路製造方法を以下に順次説明する。まず、図2(a)に示すように、半導体基板101のセルアレイ領域102と周辺回路領域103とに所定パターンでSTI114を形成し、このSTI114が形成されていない半導体基板101の表面に膜厚8.0(nm)のゲート酸化膜115を形成する。

【0054】

つぎに、このゲート酸化膜115の表面に膜厚100(nm)のポリシリコン層117と膜厚150(nm)のタングステンシリサイド層118と膜厚150(nm)の酸化膜119とを順番に成膜し、同図(b)に示すように、これらを所定パターニングにエッチングすることでトランジスタ素子111、112のゲート電極116を形成する。

【0055】

このようにゲート電極116が形成されたセルアレイ領域102と周辺回路領域103との表面に膜厚40(nm)の第一窒化膜131をCVD法により一様に形成するが、図3(a)に示すように、セルアレイ領域102のみレジスト201でマスクして周辺回路領域103の第一窒化膜131をエッチングし、周辺回路領域103のゲート電極116の側面にサイドウォール120を形成するとともに間隙にゲート酸化膜115を露出させる。

【0056】

つぎに、同図(b)に示すように、レジスト201を除去してからセルアレイ領域102と周辺回路領域103との表面に膜厚10(nm)の第二窒化膜202を一様に形成し、図4(a)に示すように、この第二窒化膜202の表面に不純物が導入された膜厚1.0(μm)のBP SGからなる層間絶縁膜133を形成する。

【0057】

本実施の形態でもセルアレイ領域 102 ではゲート電極 116 が高密度に配列されており、層間絶縁膜 133 にボイド 134 が発生するので、この層間絶縁膜 133 を 800℃ の水蒸気を含む雰囲気中で 10 分間までアニールしてリフローさせ、同図 (b) に示すように、発生したボイド 134 を消滅させる。

【0058】

つぎに、図 5 (a) に示すように、CMP (Chemical Mechanical Polishing) 法により層間絶縁膜 133 の表面を平滑化し、この表面に酸化膜 203 を形成する。この酸化膜 203 の表面に KrF レジストで所定パターンのマスクを形成し、図 6 (a) に示すように、セルアレイ領域 102 のトランジスタ素子 111 の位置でゲート電極 116 の両側にコンタクトホール 204 を形成する。

【0059】

このとき、図 5 (b) に示すように、ゲート電極 116 は表面と側面とに膜厚 40 (nm) の第一窒化膜 131 が存在するため、図 6 (a) に示すように、これをエッチングストップとしたセルフアラインにより半導体基板 101 まで到達するコンタクトホール 204 が層間絶縁膜 133 に形成される。

【0060】

つぎに、同図 (b) に示すように、このコンタクトホール 204 にコンタクト電極 121, 122 をエッチバックで形成し、以降は従来と同様に DRAM 200 の各部を形成してから、最後に水素などのフォーミングガスによりアニールを実行して各部の界面順位を回復させる。

【0061】

上述のような構成において、本実施の形態の DRAM 200 は従来の DRAM 100 と同様な構造からなるが、周辺回路領域 103 のゲート電極 116 やビット線 123 が位置しない半導体基板 101 の表面に酸化膜 132 でなく膜厚 10 (nm) の第二窒化膜 202 が形成されている。

【0062】

本実施の形態の回路製造方法でも、一従来例の場合と同様に、セルアレイ領域 102 の高密度に配列されたトランジスタ素子 111 と周辺回路領域 103 の低密度に配列されたトランジスタ素子 112 とを同時に形成することができ、セル

アレイ領域 102 ではゲート電極 116 の側面に位置する第一窒化膜 131 をエッチングストッパとしたセルフアラインにより半導体基板 101 まで到達するコンタクトホール 204 を層間絶縁膜 133 に形成するので、高密度に配列されているトランジスタ素子 111 の間隙にコンタクト電極 121, 122 を確実に形成することができる。

【0063】

しかし、本実施の形態の回路製造方法は、一従来例の場合とは相違して、層間絶縁膜 133 を水蒸気アニールによりリフローするので、そこに発生したボイド 134 を良好に消滅させることができる。それでいて、周辺回路領域 103 の層間絶縁膜 133 と半導体基板 101 との間には膜厚 10(nm) の第二窒化膜 202 位置するため、水蒸気アニールにより層間絶縁膜 133 の不純物が半導体基板 101 に拡散することがなく、水蒸気アニールにより半導体基板 101 のシリコンが酸化されることもない。

【0064】

前述のようにエッチングストッパとなる膜厚 40(nm) の第一窒化膜 131 は、大面積に形成されているとアニールなどの加熱時に過剰なストレスを発生して半導体基板 101 の結晶構造の破壊などの不具合を誘発するが、上述のように膜厚 10(nm) の第二窒化膜 202 は半導体基板 101 の結晶構造を破壊するほどのストレスは発生しない。さらに、この膜厚 10(nm) の第二窒化膜 202 は、最終工程のアニール時のフォーミングガスも良好に透過するので、界面順位の回復を阻害することもない。

【0065】

なお、本発明者は実際に上述のような回路製造方法により製造した DRAM 200 の性能を検証する各種の試験を実施した。まず、半導体基板 101 の表面に各種の膜厚の第二窒化膜 202 を介して層間絶縁膜 133 を積層した供試材を試作し、800℃ で 10 分まで水蒸気アニールした。

【0066】

すると、図 7 に示すように、層間絶縁膜 133 から半導体基板 101 への不純物の拡散を、第二窒化膜 202 の膜厚が 2.0(nm) 以上ならば略防止でき、膜厚 4.

0(nm)ならば確実であることが確認された。さらに、水蒸気アニールを850℃で30分まで実行する場合、不純物の拡散は第二窒化膜202の膜厚が3.0(nm)以上ならば略防止でき、膜厚5.0(nm)ならば確実であることも確認された(図示せず)。

【0067】

また、半導体基板101の表面に第二窒化膜202を形成した供試材を800℃で10分まで水蒸気アニールし、その第二窒化膜202の膜厚の変化により半導体基板101の酸化の度合を試験した。すると、図8に示すように、水蒸気アニールによる半導体基板101の酸化も第二窒化膜202の膜厚が3.0(nm)以上ならば略防止でき、膜厚5.0(nm)ならば確実であることが確認された。

【0068】

さらに、DRAM200を試作し、水素をフォーミングガスとして400℃でアニールしたところ、図9に示すように、第二窒化膜202の膜厚が20(nm)ではフォーミングガスが半導体基板101に拡散せず各部の界面順位も回復しないが、膜厚10(nm)以下ではフォーミングガスが半導体基板101に良好に拡散して各部の界面順位も良好に回復することが確認された。

【0069】

また、上述のように各種のアニールを実行する場合でも、第二窒化膜202の膜厚が30(nm)以下であれば、そのストレスにより半導体基板101に障害が発生しないことも確認された(図示せず)。

【0070】

このため、本実施の形態のDRAM200の製造方法では、第一窒化膜131はセルフアラインのエッチングストップとなる30~50(nm)の膜厚にCVD法により形成する。しかし、第二窒化膜202は、水蒸気アニールにより層間絶縁膜133の不純物が半導体基板101に拡散せず、水蒸気アニールにより半導体基板101が酸化されず、フォーミングガスが半導体基板101に拡散される、3.0~20(nm)の膜厚にCVD法により形成し、より好ましくは、膜厚5.0~15(nm)に形成する。

【0071】

つぎに、本発明の実施の第二の形態を図10ないし図13を参照して以下に説

明する。ただし、この実施の第二の形態に関して上述した第一の形態と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。

【0072】

なお、図10は本発明の半導体装置の実施の第二の形態であるDRAMの内部構造を示す縦断正面図、図11ないし図13は本発明の回路製造方法の実施の第二の形態を示す製造工程図、である。

【0073】

本発明の半導体装置の実施の第二の形態であるDRAM300も、第一の形態のDRAM200と同様な構造に形成されているが、図10に示すように、第一の形態のDRAM200とは相違して、ゲート電極116の各々の表面に酸化膜119でなく窒化保護膜301が形成されており、ゲート電極116の表面に第一窒化膜131が残存していない。

【0074】

ここで、上述のようなDRAM300を製造する回路製造方法の要部を以下に簡単に説明する。まず、半導体基板101の表面にゲート酸化膜115を形成してからポリシリコン層117とタングステンシリサイド層118と膜厚150(nm)の窒化保護膜301とを順番に成膜し、これらを所定パターニングにエッチングすることでトランジスタ素子111、112のゲート電極116を形成する。

【0075】

図11(a)に示すように、このようにゲート電極116が形成された各領域102、103の表面に膜厚40(nm)の第一窒化膜131をCVD法により一様に形成してから一様にエッチングすることで、同図(b)に示すように、これで各領域102、103のゲート電極116の側面にサイドウォール120を形成するとともに間隙にゲート酸化膜115を露出させる。

【0076】

このとき、ゲート電極116の表面には酸化膜119でなく窒化保護膜301が形成されているので、ゲート酸化膜115が露出するまで第一窒化膜131がエッチングされるとゲート電極116の表面の窒化保護膜301が露出することになる。

【0077】

以降は第一の形態の場合と同様に、図12(a)に示すように、各領域102、103の表面に膜厚10(nm)の第二窒化膜202を一様に形成し、同図(b)に示すように、この第二窒化膜202の表面に不純物が導入された膜厚1.0(μm)のBPSGからなる層間絶縁膜133を形成する。

【0078】

図13(a)に示すように、この層間絶縁膜133を800℃で10分間まで水蒸気アニールしてボイド134を消滅させ、同図(b)に示すように、平滑化した層間絶縁膜133の表面に酸化膜203を形成してから、セルアレイ領域102のトランジスタ素子111の位置でゲート電極116の両側にセルフアラインによりコンタクト電極121、122を形成する。

【0079】

このコンタクト電極121、122を埋め込むコンタクトホール204をセルフアラインにより形成するとき、ゲート電極116の側面には第一窒化膜131からなるサイドウォール120が存在するが、ゲート電極116の表面の第一窒化膜131はエッチングされている。

【0080】

しかし、この第一窒化膜131がエッチングされたゲート電極116の表面には膜厚150(nm)の窒化保護膜301が位置するので、この窒化保護膜301とサイドウォール120とをエッチングストップとしたセルフアラインにより半導体基板101まで到達するコンタクトホール204が層間絶縁膜133に形成される。

【0081】

上述のような構成において、この実施の第二の形態のDRAM300は第一の形態のDRAM200と同様な構造からなるが、ゲート電極116の各々の表面に酸化膜119でなく窒化保護膜301が形成されている。この窒化保護膜301はセルフアラインによりコンタクトホール204を形成するとき、ゲート電極116の表面のエッチングストップとして機能するので、ゲート電極116の表面に第一窒化膜131を残存させる必要がない。

【 0 0 8 2 】

このため、本実施の形態の D R A M 3 0 0 では、周辺回路領域 1 0 3 の表面から第一窒化膜 1 3 1 を除去するときにセルアレイ領域 1 0 2 をマスクする必要がなく、第一窒化膜 1 3 1 のエッチングを各領域 1 0 2, 1 0 3 で一様に実行することができるので、さらに製造が容易で生産性が良好である。

【 0 0 8 3 】

なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態では第一第二窒化膜 1 3 1, 2 0 2 の両方を C V D 法により形成することを例示したが、第一窒化膜 1 3 1 のみ C V D 法により形成して第二窒化膜は R T N 法により形成することも可能である。

【 0 0 8 4 】

R T N 法は C V D 法ほど窒化膜を厚膜に形成できないが良質に形成できるので、膜厚 1.8~2.0(nm) で必要な特性を確保した第二窒化膜 4 0 0 を形成することが可能であるが、R T N 法では酸化膜の表面に窒化膜を成長させることができない。

【 0 0 8 5 】

そこで、前述の第一の形態の D R A M 2 0 0 の第二窒化膜 4 0 0 を R T N 法により形成する場合、図 3 (a) に示すように、メモリセル領域 1 0 2 のみマスクした状態で周辺回路領域 1 0 3 のゲート酸化膜 1 1 5 を弗素で除去し、図 1 4 に示すように、露出した半導体基板 1 0 1 の表面を約 850 (° C) のアンモニア雰囲気中で 60 (sec) 程度まで加熱する R T N 法により第二窒化膜 4 0 0 を形成することが好適である。

【 0 0 8 6 】

また、第二の形態の D R A M 3 0 0 の第二窒化膜 4 0 0 を R T N 法により形成する場合、図 1 1 (b) に示すように、各領域 1 0 2, 1 0 3 の第一窒化膜 1 3 1 をエッチングして露出させたゲート酸化膜 1 1 5 を弗素で除去し、図 1 5 に示すように、露出した半導体基板 1 0 1 の表面に R T N 法により第二窒化膜 4 0 0 を形成することが好適である。

【 0 0 8 7 】

さらに、上述のようにDRAM200、300のゲート酸化膜115を弗素で除去して半導体基板101を露出させた状態から、図16および図17に示すように、CVD法により所望の膜厚の第二窒化膜401を形成することも可能である。

【0088】

【発明の効果】

本発明の回路製造方法では、低密度領域の半導体基板の表面に第二窒化膜を形成することにより、

層間絶縁膜のボイドを水蒸気アニールにより消滅させても、層間絶縁膜から半導体基板への不純物の拡散と半導体基板の酸化とを第二窒化膜により防止することができ、それでいて第二窒化膜の膜厚を適切とすればアニール時などの過剰なストレスにより低密度領域の半導体基板を損傷することがなく、フォーミングガスの拡散が阻害されて半導体回路の各部の界面順位の回復が阻害されることもない。

【0089】

さらに、本発明の第二第四の回路製造方法では、ゲート電極の表面に窒化保護膜を形成することにより、

低密度領域と高密度領域との第一窒化膜を一樣にエッチングしてもゲート電極が露出せず、低密度領域の第一窒化膜を除去するとき高密度領域をマスクする必要がないので、生産性を向上させることができる。

【0090】

また、第一窒化膜と第二窒化膜とをCVD法により形成することにより、

第一窒化膜と第二窒化膜とを同一の製法により各々所望の膜厚に形成することができるので、セルフアラインのエッチングストップとなる膜厚に第一窒化膜を形成することができ、水蒸気アニールにより層間絶縁膜の不純物が半導体基板に拡散せず、水蒸気アニールにより半導体基板が酸化されず、フォーミングガスは半導体基板に拡散される膜厚に、第二窒化膜を形成することができる。

【0091】

また、第一窒化膜をCVD法により形成し、第二窒化膜をRTN法により形成

することにより、

第一窒化膜をCVD法により所望の膜厚に形成することができるので、セルフアラインのエッチングストッパとなる膜厚に第一窒化膜を形成することができ、RTN法はCVD法ほど窒化膜を厚膜に形成できないが良質に形成できるので、水蒸気アニールにより層間絶縁膜の不純物が半導体基板に拡散せず、水蒸気アニールにより半導体基板が酸化されず、フォーミングガスは半導体基板に拡散されるように、第二窒化膜を形成することができる。

【0092】

また、このように第一窒化膜と第二窒化膜とを各々適切な膜厚に形成することにより、

高密度領域で半導体基板まで到達するコンタクトホールをセルフアラインで層間絶縁膜に形成することができ、それでいて、水蒸気アニールにより半導体基板が層間絶縁膜の不純物が半導体基板に拡散することを防止でき、水蒸気アニールにより半導体基板が酸化されることを防止でき、フォーミングガスを半導体基板に拡散させることができるので、高性能な半導体装置を製造することができる。

【図面の簡単な説明】

【図1】

本発明の半導体装置の実施の第一の形態であるDRAMの内部構造を示す縦断正面図である。

【図2】

本発明の回路製造方法の実施の第一の形態を示す製造工程図の一部である。

【図3】

上述の製造工程図の一部である。

【図4】

上述の製造工程図の一部である。

【図5】

上述の製造工程図の一部である。

【図6】

上述の製造工程図の一部である。

【図 7】

水蒸気アニールにより各種膜厚の第二窒化膜を介して層間絶縁膜から半導体基板まで不純物が拡散される割合を示す特性図である。

【図 8】

各種膜厚の第二窒化膜を水蒸気アニールした場合の耐酸化性を示す特性図である。

【図 9】

第二窒化膜の膜厚とフォーミングガスによるアニールにより界面順位が回復する割合との関係を示す特性図である。

【図 1 0】

本発明の半導体装置の実施の第二の形態である D R A M の内部構造を示す縦断正面図である。

【図 1 1】

本発明の回路製造方法の実施の第二の形態を示す製造工程図の一部である。

【図 1 2】

上述の製造工程図の一部である。

【図 1 3】

上述の製造工程図の一部である。

【図 1 4】

実施の第一の形態の D R A M の第一の変形例の製造過程を示す縦断正面図である。

【図 1 5】

実施の第二の形態の D R A M の第一の変形例の製造過程を示す縦断正面図である。

【図 1 6】

実施の第一の形態の D R A M の第二の変形例の製造過程を示す縦断正面図である。

【図 1 7】

実施の第二の形態の D R A M の第二の変形例の製造過程を示す縦断正面図である。

る。

【図 18】

半導体装置の一従来例である DRAM の積層構造を示す模式的な縦断正面図である。

【図 19】

DRAM の高密度領域であるセルアレイ領域を示す模式的な平面図である。

【図 20】

製造過程の DRAM を示す模式的な縦断正面図である。

【図 21】

製造過程の DRAM の各部の寸法を示す模式的な縦断正面図である。

【図 22】

製造過程の DRAM にボイドが残留する不良が発生した状態を示す模式的な縦断正面図である。

【図 23】

窒素雰囲気中と水蒸気雰囲気中とのアニールにより酸化膜を介して層間絶縁膜から半導体基板まで不純物が拡散される割合を示す特性図である。

【符号の説明】

- 101 半導体基板
- 102 高密度領域であるセルアレイ領域
- 103 低密度領域である周辺回路領域
- 111, 112 トランジスタ素子
- 115 ゲート酸化膜
- 116 ゲート電極
- 121, 122 コンタクト電極
- 131 第一窒化膜
- 134 ボイド
- 200, 300 半導体装置である DRAM
- 202, 400, 401 第二窒化膜
- 204 コンタクトホール

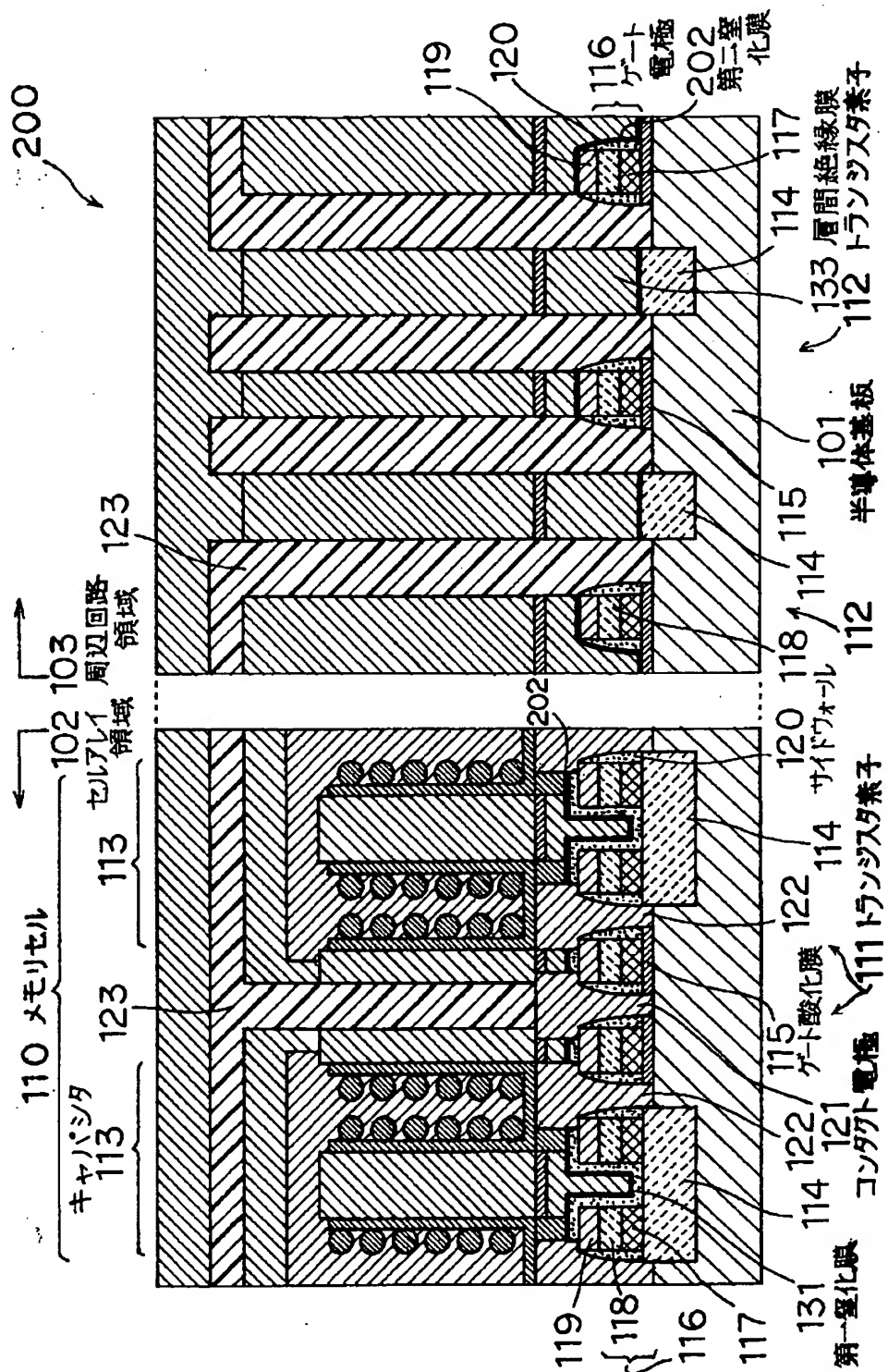
特平 11-367831

301 窒化保護膜

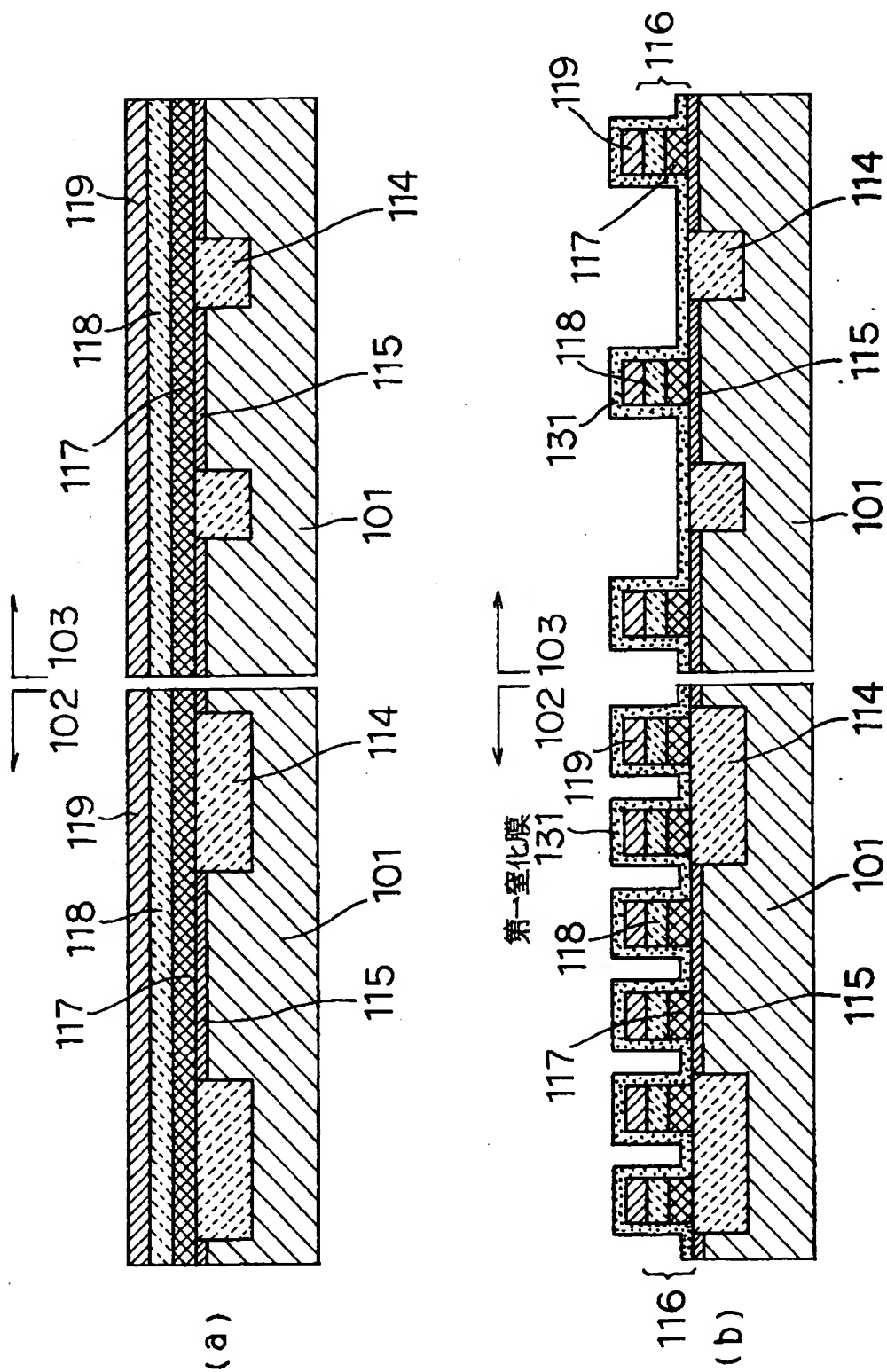
【書類名】

凶面

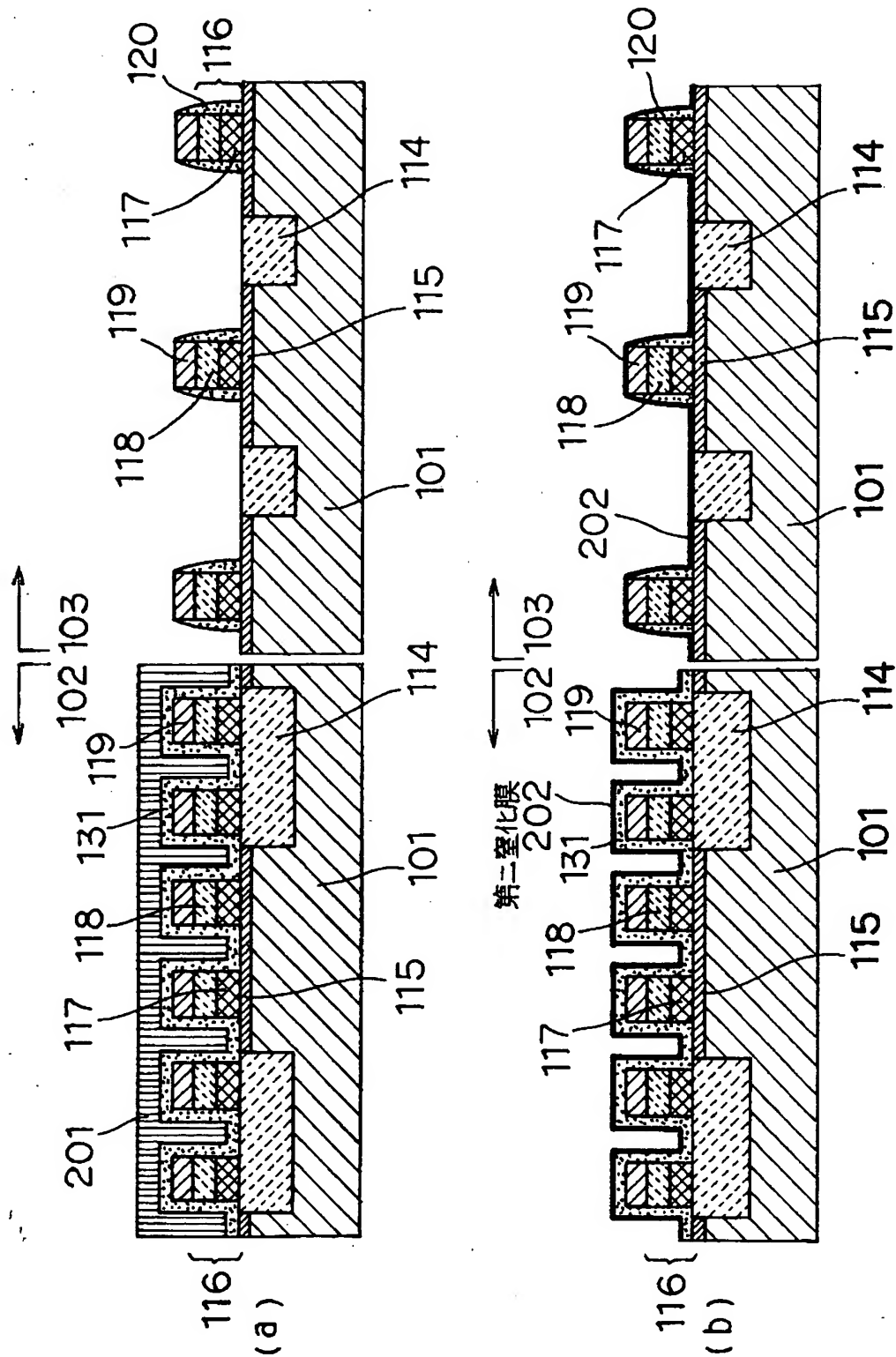
【図 1】



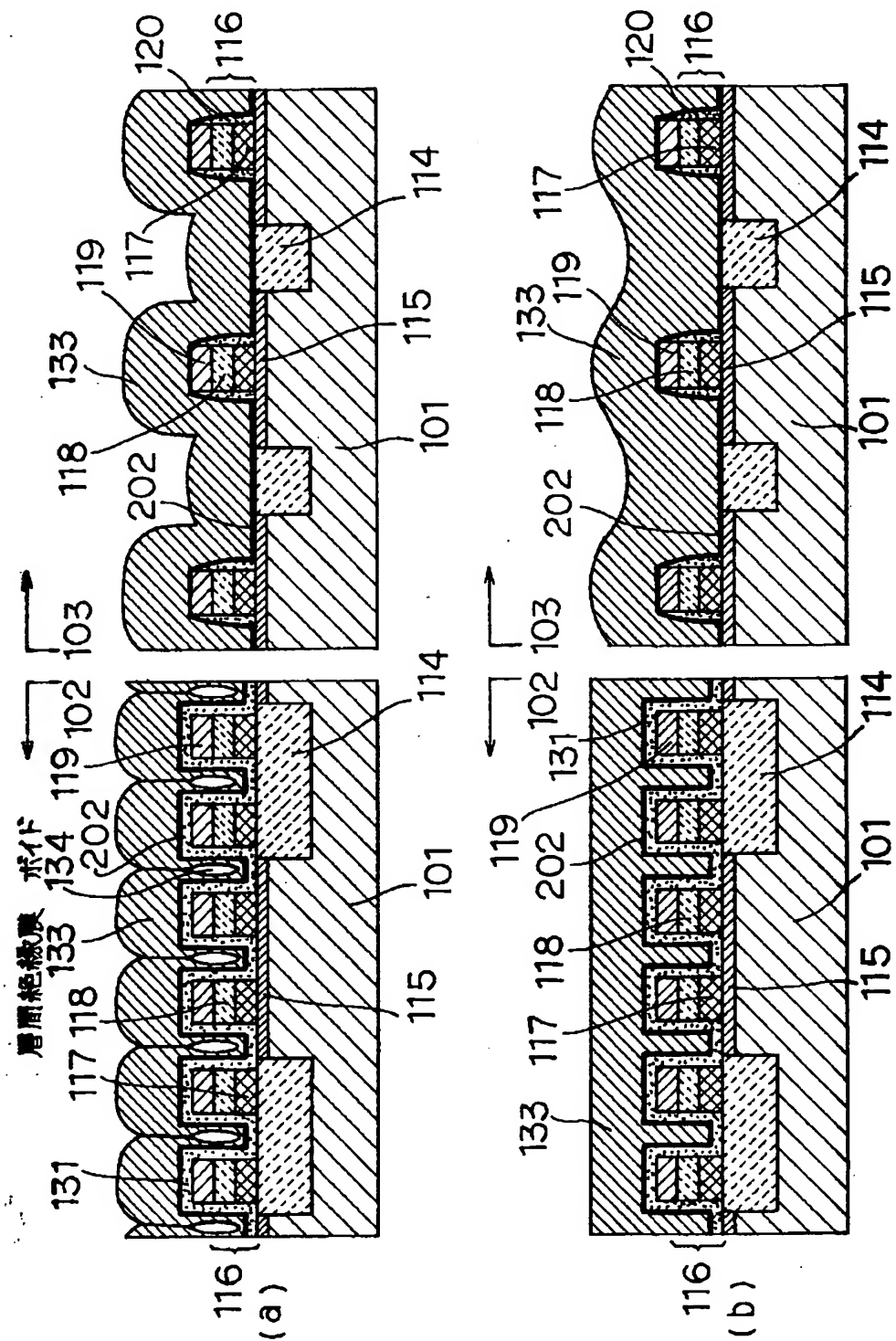
【图 2】

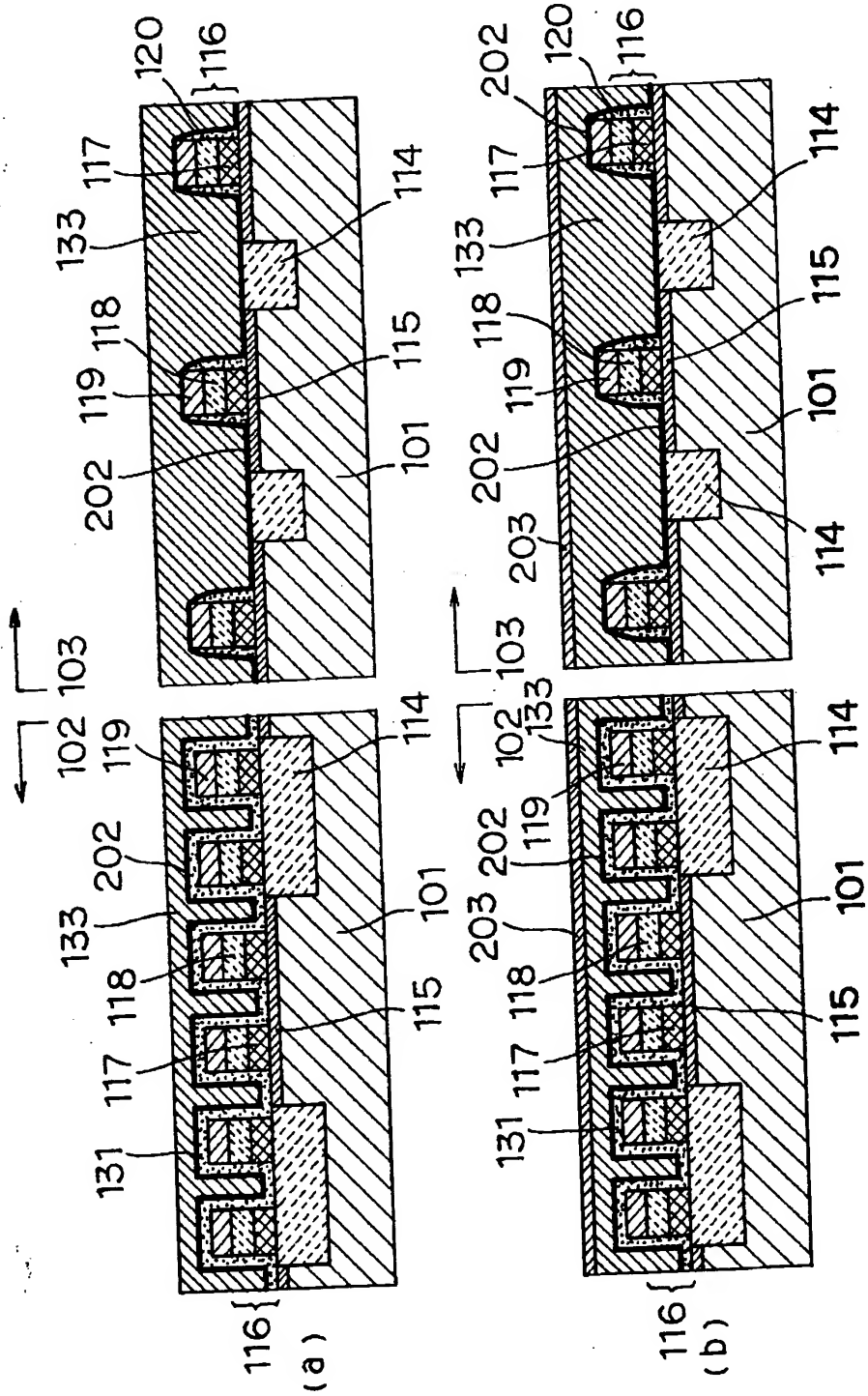


【図 3】

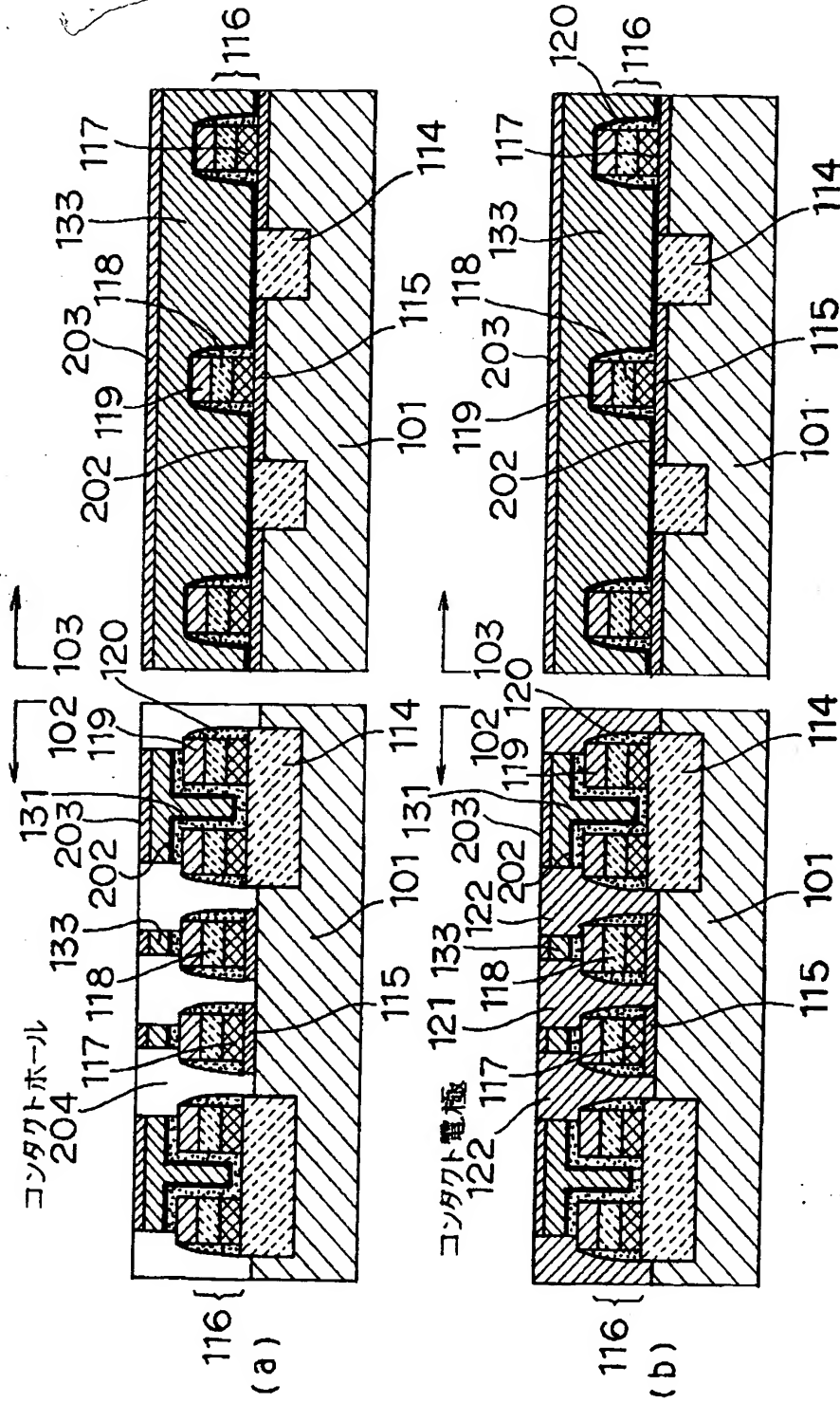


【圖 4】

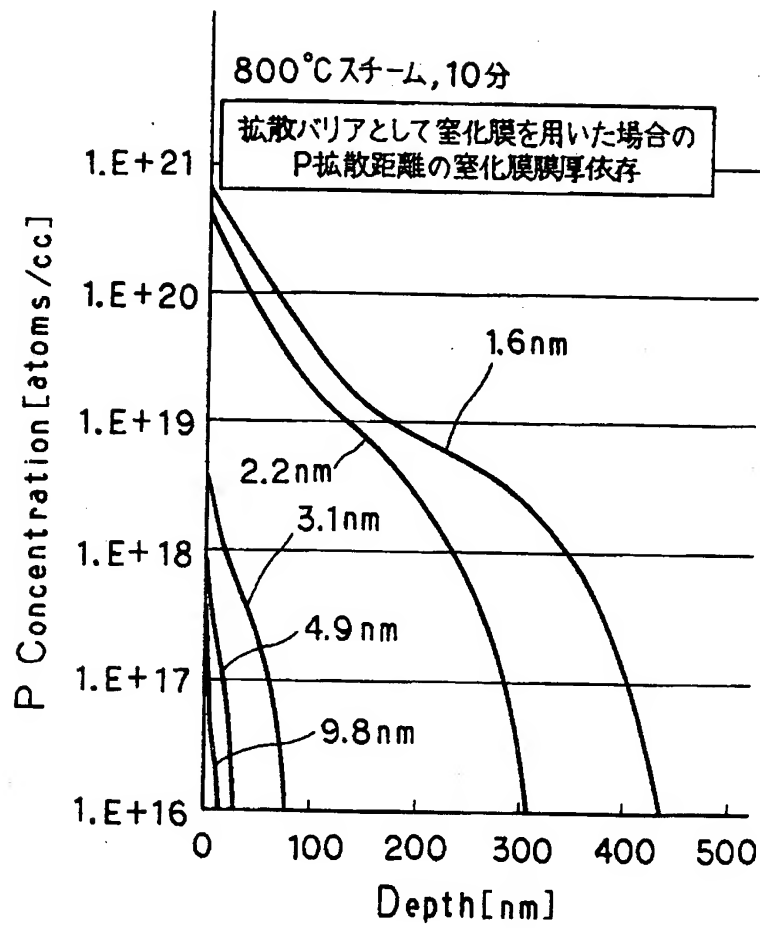




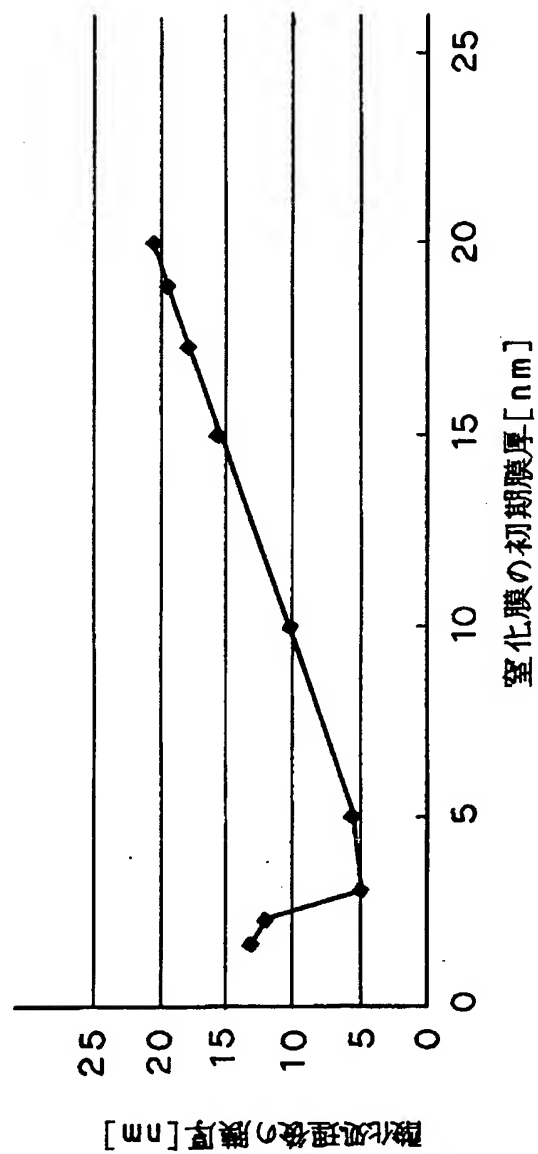
【図6】



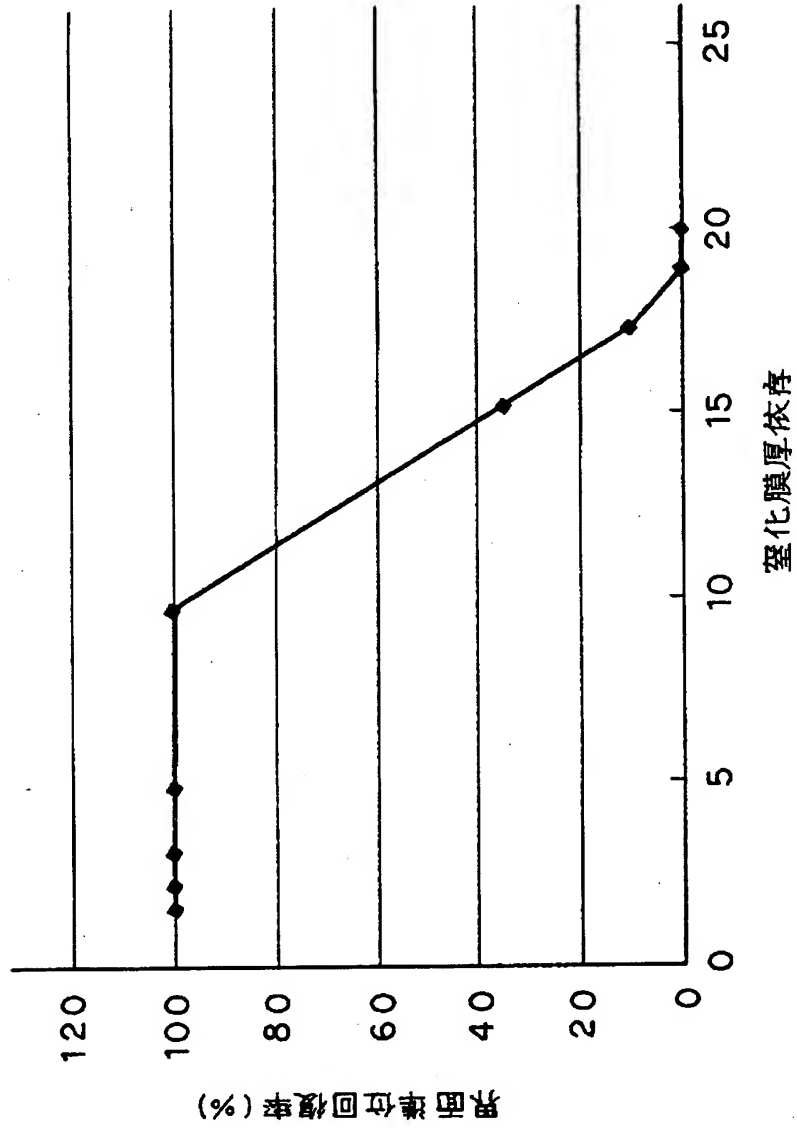
【図7】



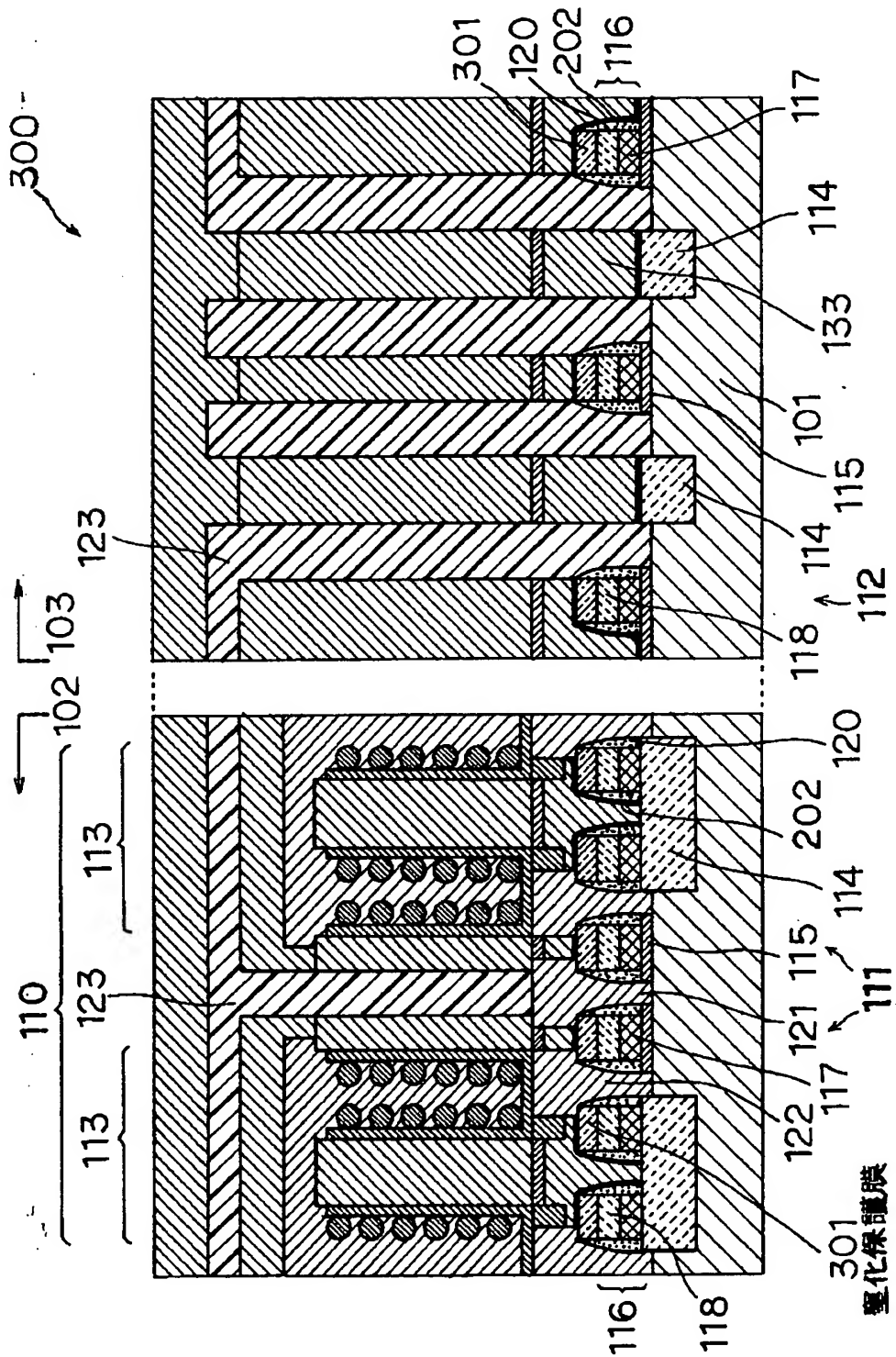
【図 8】



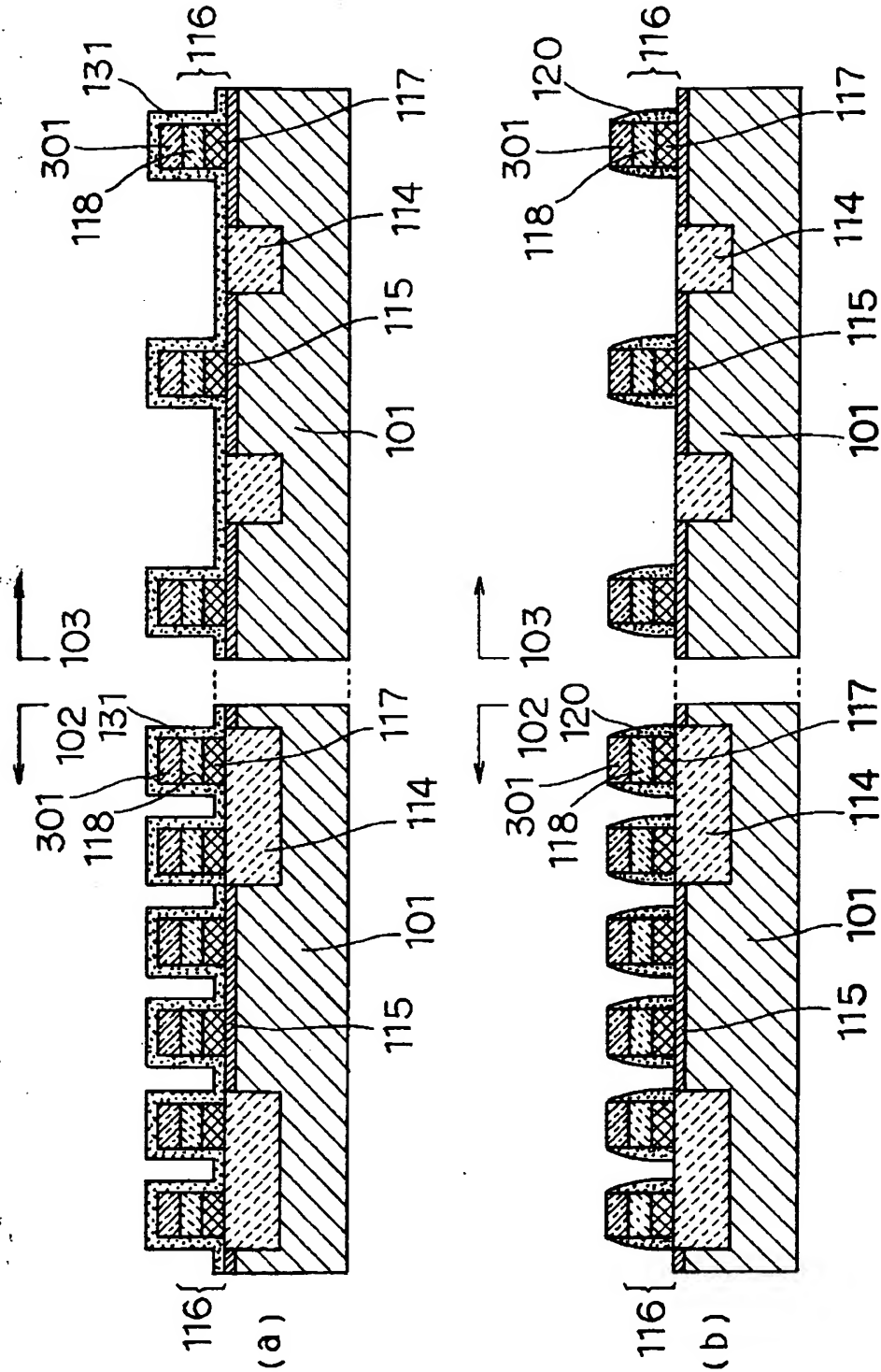
【図9】



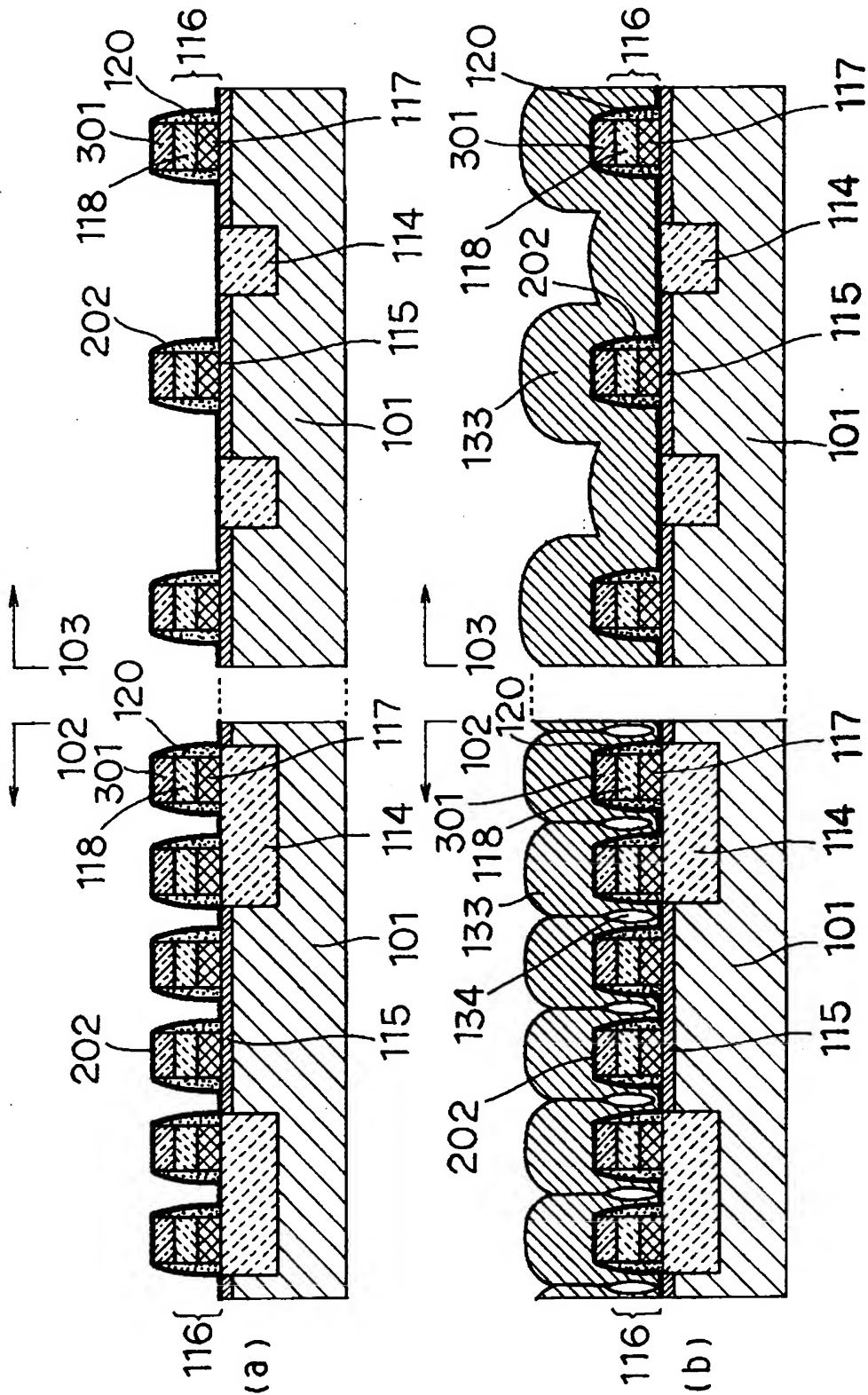
【図 10】



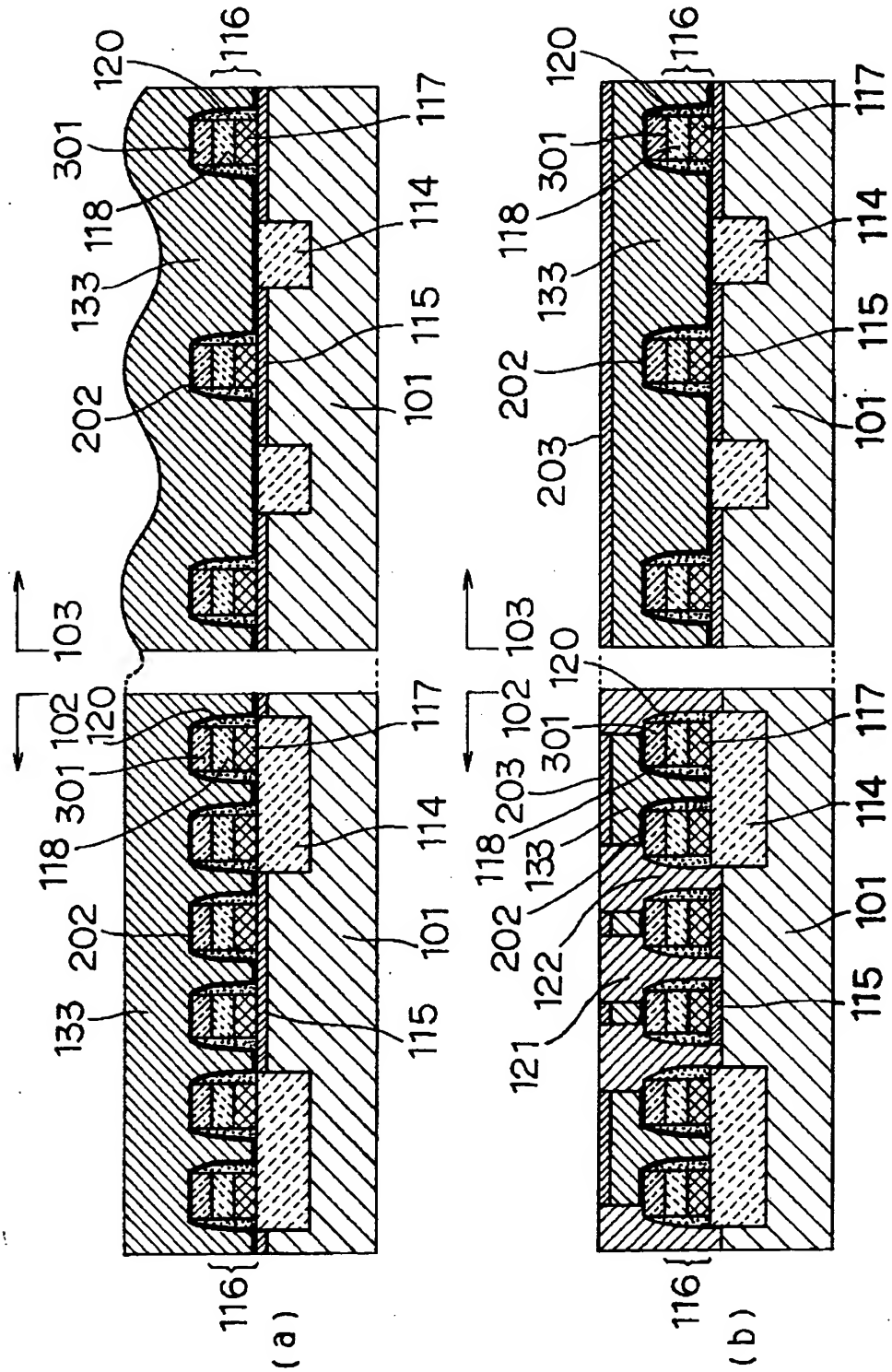
【図 11】



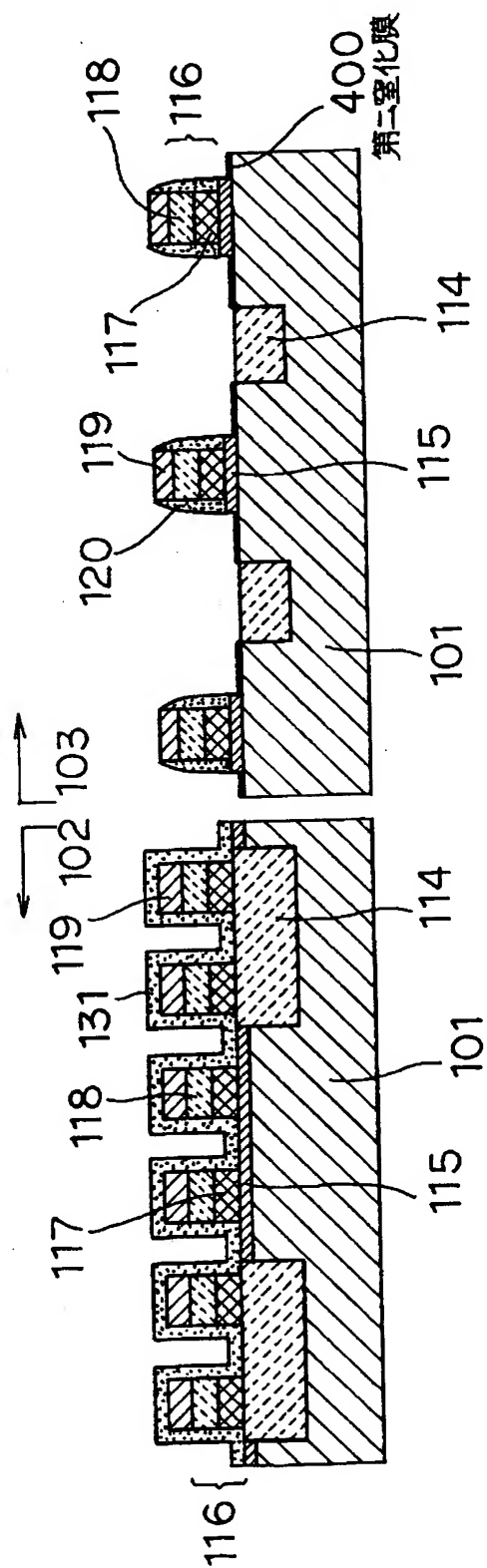
【図 12】



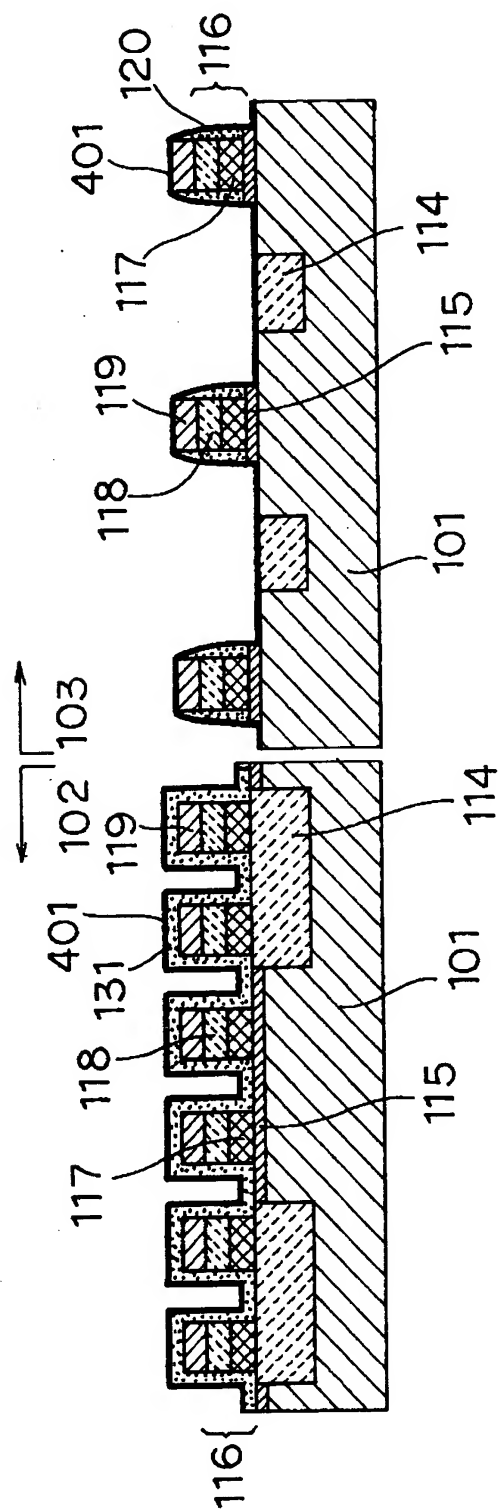
【図 13】



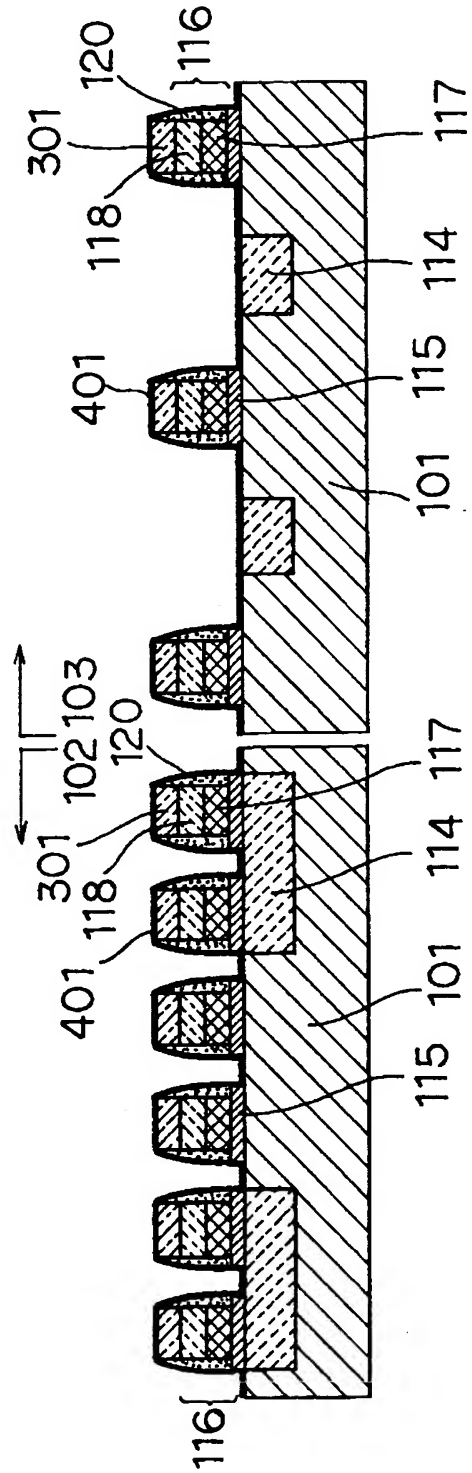
【図14】



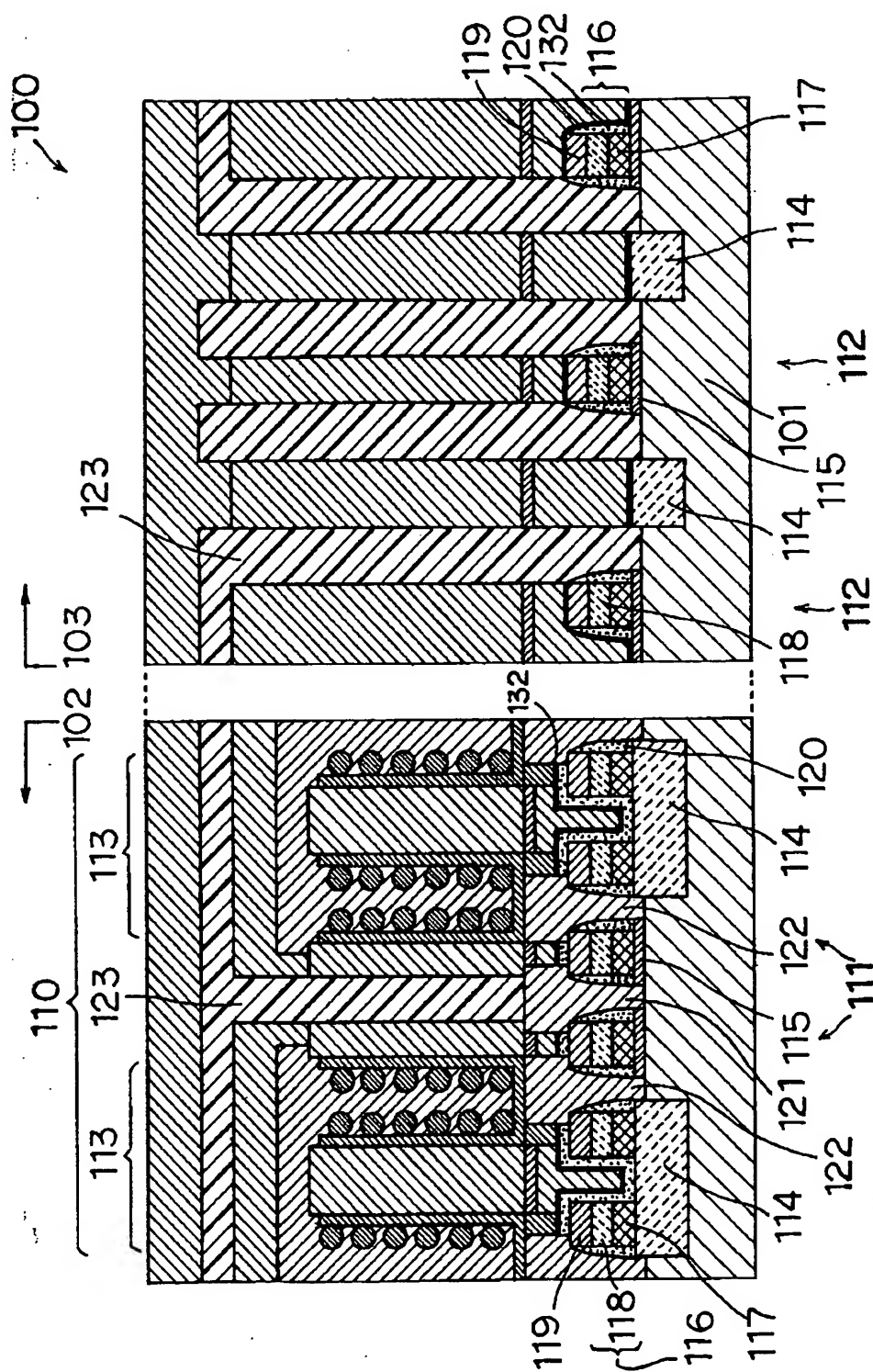
【図 16】



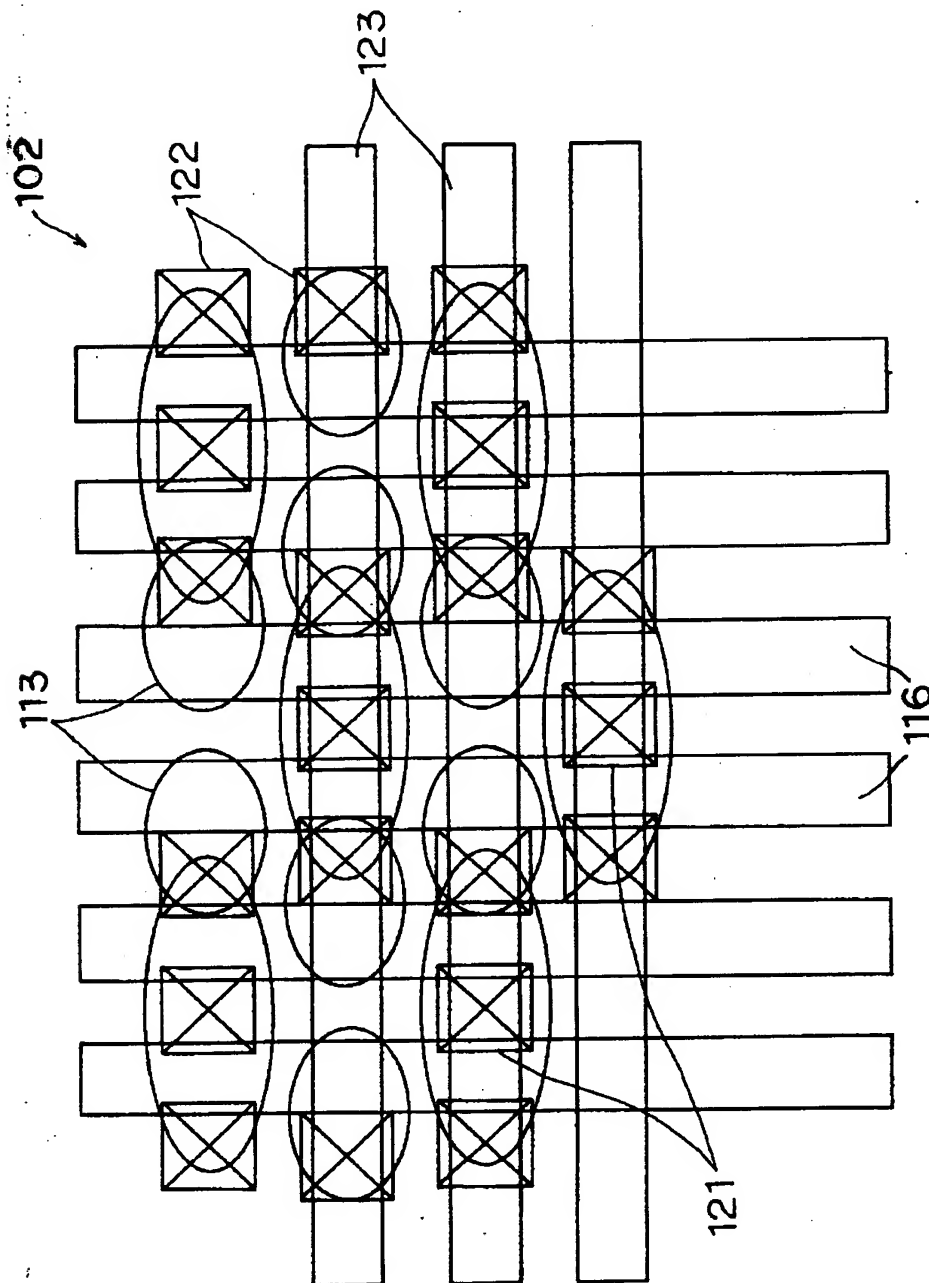
【図 17】



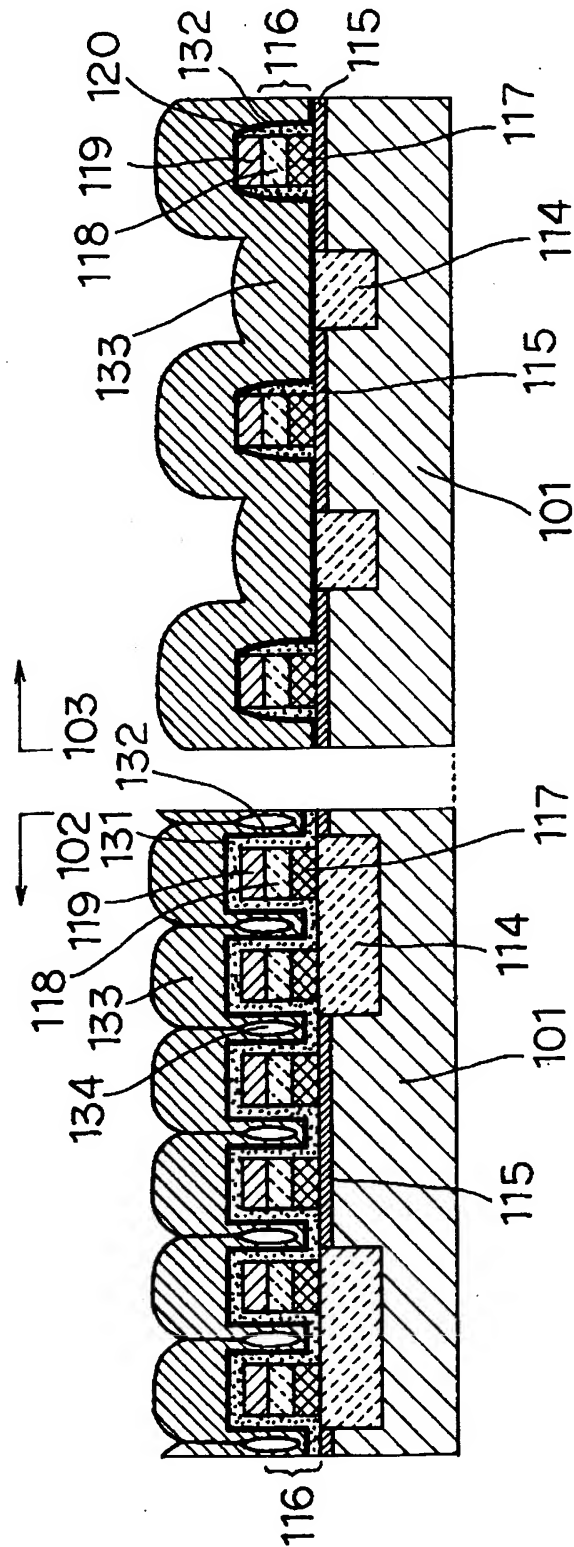
【図 18】



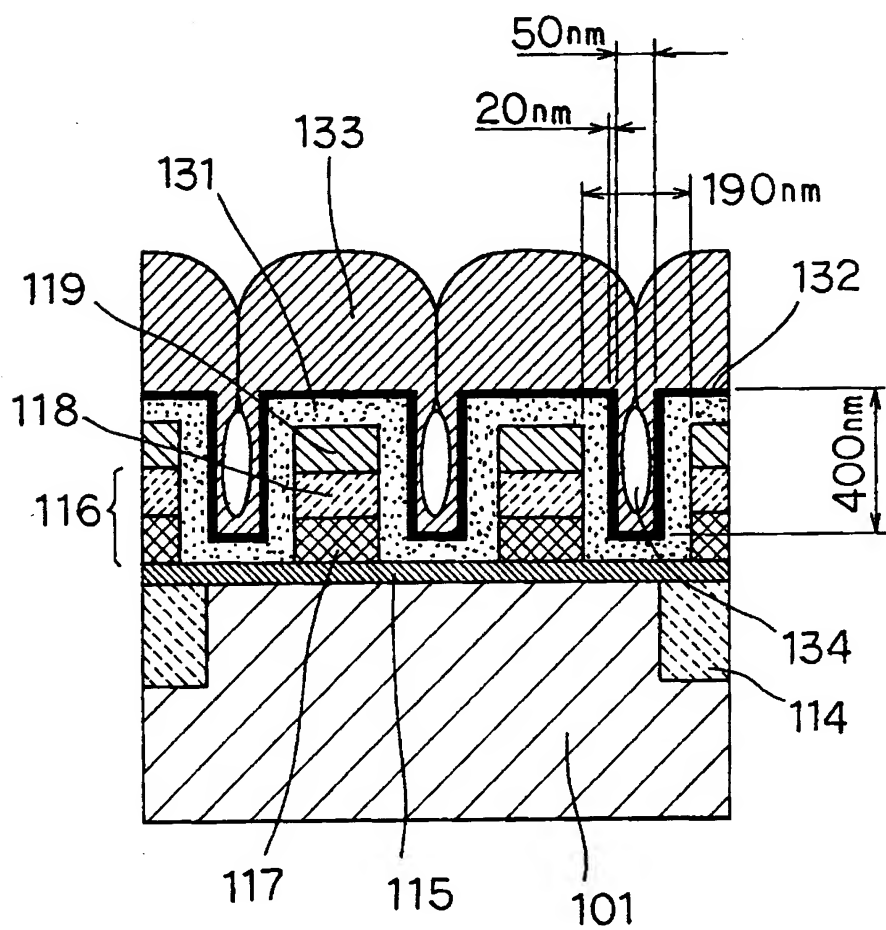
【図19】



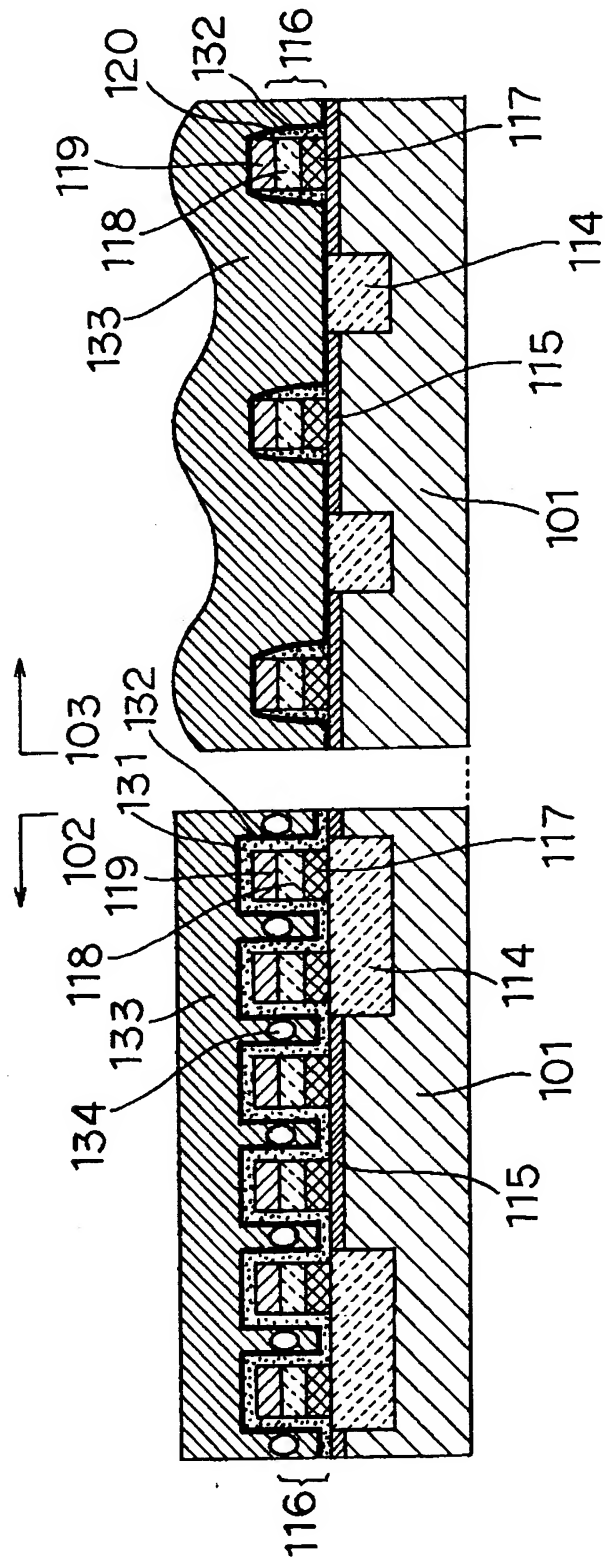
【図 20】



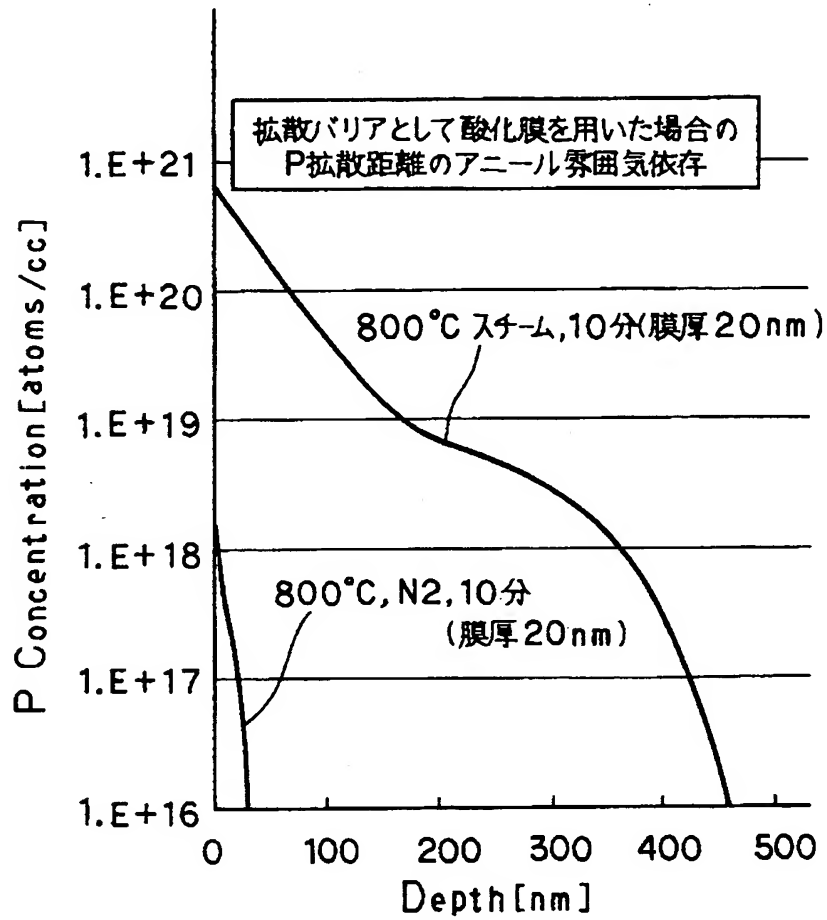
【図 21】



【図 2 2】



【図 23】



【書類名】 要約書

【要約】

【課題】 高／低密度領域が混在する D R A M 等を良好に製造する。

【解決手段】 半導体基板 1 0 1 の表面にゲート酸化膜 1 1 5 とゲート電極 1 1 6 を形成し、第一窒化膜 1 3 1 を一様に形成してから低密度領域 1 0 3 のみエッチングし、第二窒化膜 2 0 2 を一様に形成してから層間絶縁膜 1 3 3 を形成してボイドを水蒸気アニールで消滅させ、高密度領域 1 0 2 で第一窒化膜 1 3 1 をエッチングストップとしたセルフアラインによりコンタクトホールを層間絶縁膜 1 3 3 に形成し、コンタクト電極 1 2 1, 1 2 2 などを形成してからフォーミングガスによりアニールして各部の界面順位を回復させる。低密度領域 1 0 3 の半導体基板 1 0 1 の表面に第二窒化膜 2 0 2 が位置するので、水蒸気アニールしても層間絶縁膜 1 3 3 から半導体基板 1 0 1 への不純物の拡散と半導体基板 1 0 1 の酸化を防止できるが、第二窒化膜 2 0 2 はフォーミングガスの拡散を阻害しない。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社